

SUZAKU-S ハードウェアマニュアル

SZ010-U00
SZ030-U00

Version 2.0.9-55bca35
2009/03/24

株式会社アットマークテクノ [<http://www.atmark-techno.com>]
SUZAKU 公式サイト [<http://suzaku.atmark-techno.com>]

SUZAKU-S

ハードウェアマニュアル

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F
TEL 011-207-6550 FAX 011-207-6570

製作著作 © 2008 Atmark Techno, Inc

Version 2.0.9-55bca35
2009/03/24

9.1. SZ010-U00 と SZ030-U00 の違い	38
9.1.1. FPGA について	38
9.1.2. フラッシュについて	38
9.1.3. フラッシュメモリマップについて	38
9.2. 以前に開発した Linux バイナリイメージの動作	39
9.2.1. 以前に開発した Linux バイナリイメージを SZ030-U00 でそのまま動作させる方 法	39

図目次

4.1. SZ010-U00/SZ030-U00 ブロック図	14
4.2. SZ010-U00/SZ030-U00 バス構成	15
4.3. FPGA コンフィギュレーション	18
6.1. CoreConnect のビットラベルと信号名	29
7.1. 各種インターフェースの配置	30
8.1. SZ010-U00/SZ030-U00 の基板形状	37

表目次

4.1. SUZAKU-S 仕様	13
4.2. シリアルコンソールの設定	16
5.1. SUZAKU-S メモリマップ	22
6.1. FPGA ピンアサイン 外部 I/O 関連(1/3)	23
6.2. FPGA ピンアサイン 外部 I/O 関連(2/3)	24
6.3. FPGA ピンアサイン 外部 I/O 関連(3/3)	25
6.4. FPGA ピンアサイン 内部デバイス関連(1/3)	25
6.5. FPGA ピンアサイン 内部デバイス関連(2/3)	26
6.6. FPGA ピンアサイン 内部デバイス関連(3/3)	28
6.7. FPGA ピンアサイン JTAG、コンフィギュレーション関連	28
7.1. 各種インターフェースの内容	30
7.2. CON2 外部 I/O、FPGA プログラム用コネクタ	31
7.3. 外部 I/O コネクタ	32
7.4. CON4 外部 I/O コネクタ	33
7.5. CON5 外部 I/O コネクタ	34
7.6. CON7 Spartan-3 用 JTAG コネクタ	34
7.7. シリアルコンソールの設定	34
7.8. CON1 RS232C コネクタ	35
7.9. JP1 起動モード ジャンパ	35
7.10. JP2 FPGA プログラム用ジャンパ	35
7.11. D1 ユーザコントロール LED	36
7.12. CON6 電源入力+3.3V コネクタ	36
7.13. Ethernet 10BASE-T/100BASE-TX	36

1.はじめに

このたびは SUZAKU-S(SZ010-U00、SZ030-U00)をお求めいただき、ありがとうございます。

本マニュアルには SUZAKU-S(SZ010-U00、SZ030-U00)のハードウェアの仕様について記載しております。

ただし、本マニュアルが適用される FPGA プロジェクトは下記の日付以降の CD-ROM となっております。下記日付以前の FPGA のプロジェクトでは構成が違うのでご注意ください。

2006/8/16

本マニュアルを SUZAKU-S(SZ010-U00、SZ030-U00)の機能を最大限引き出すために、ご活用いただければ幸いです。

2. 注意事項

2.1. 安全に関する注意事項

SUZAKU-S を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用(OA 機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用していますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性があります。ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等)に万全を期されますようお願い申し上げます。

2.2. 保証に関する注意事項

製品保証範囲について 付属品(ソフトウェアを含みます)を使用し、取扱説明書、各注意事項に基づく正常なご使用に限り有効です。万一正常なご使用のもと製品が故障した場合は、初期不良保証期間内であれば新品交換をさせていただきます。

保証対象外になる場合 次のような場合の故障・損傷は、保証期間内であっても保証対象外になります。
1. 取扱説明書記載の使用方法、または注意に反したお取り扱いによる場合
2. 改造・調整や部品交換による場合。または正規のものを使用していないか、あるいは過去に使用されていた場合
3. お客様のお手元に渡った後の輸送、移動時の落下等お取り扱いの不備による場合
4. 火災・地震・水害・落雷・その他の天災、公害や異常電圧による場合
5. AC アダプタ・ケーブル等の付属品について、同梱のものを使用していない場合
6. 付属品がすべて揃っていない場合

免責事項 弊社に故意または重大な過失があった場合を除き、製品の使用および、故障、修理によって発生するいかなる損害についても、一切の責任を負わないものとします。



本製品は購入時の初期不良以外の保証を行っておりません。保証期間は商品到着後 2 週間です。本製品をご購入しましたらお手数でも必ず動作確認を行ってからご使用ください。本製品に対して注意事項を守らずに発生した故障につきましては保証対象外となります。

2.3. 取り扱い上の注意事項

劣化、破損、誤動作、発煙、発火の原因となることがあります。取り扱い時には以下のようない点にご注意ください。



入力電源	3.3V+3%以上の電圧を入力しないでください。また、極性を間違わないでください。
インターフェース	各インターフェース(外部 I/O、RS-232C、Ethernet、JTAG)には規定以外の信号を接続しないでください。また、信号の極性、入出力方向を間違わないでください。
本製品の改造	本製品について、外部 I/O コネクタ及び JTAG コネクタ(CON2、CON3、CON4、CON5、CON7)へのコネクタの増設以外の改造を行った場合は保証対象外となりますので、十分にご注意ください。コネクタを増設する際にはマスキングを行い、周囲の部品に半田くず、半田ボール等付着しない様十分にご注意ください。なお、改造を行う場合は、改造前の動作確認を必ず行うようお願いします。
FPGA プログラム	周辺回路(ボード上の部品も含む)と信号の衝突(同じ信号に 2 つのデバイスから出力する)を起こすような FPGA プログラムを行わないでください。また、FPGA のプログラムを間違わないでください。
電源の投入	本ボードや周辺回路に電源が入っている状態では絶対に FPGA I/O、JTAG 用コネクタの着脱を行わないでください。
静電気	本ボードには CMOS デバイスを使用していますので、ご使用になるまでは帯電防止対策のされている出荷時のパッケージ等にて保管してください。
ラッチアップ	電源および入出力ラインからの過大なノイズやサージ、電源電圧の急激な変動等で、使用している CMOS デバイスがラッチアップを起こす可能性があります。一旦ラッチアップ状態になりますと、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながることがあります。ノイズの影響を受けやすい入出力ラインには保護回路を導入する、ノイズ源となる装置と共に電源を使用しない等の対策をとることをお勧めします。

衝撃、振動	落下や衝突などの強い衝撃を与えたる、強い振動や遠心力を与えないでください。また、振動部、回転部などへの搭載はしないでください。
高温低温、多湿	極度に高温や低温になる環境や湿度が高い環境で使用しないでください。
塵埃	塵埃の多い環境では使用しないでください。

2.4. FPGA 使用についての注意事項

本製品に含まれる FPGA プロジェクトについて

本製品に含まれる FPGA プロジェクト(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

本製品は、ベンダのツール(Xilinx 製 EDK、ISE やその他ベンダツール)やベンダの IP コアを利用し、FPGA プロジェクトの構築、コンパイル、コンフィギュレーションデータの生成を行っておりますが、これらツールに関しての販売、サポート、保証等は行っておりません。

2.5. ソフトウェア使用についての注意事項

本製品に含まれるソフトウェアについて

本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

3.作業の前に

3.1. 準備するもの

SUZAKU-S を使用する前に、次のものを準備して下さい。

作業用 PC

ハードウェア開発用として、Windows2000 または WindowsXP が動作し、シリアルポート(1 ポート)及びパラレルポート(1 ポート)を持つ PC を用意してください。ソフトウェア開発用として、Linux が動作し、シリアルポート(1 ポート)を持つ PC を用意してください。

ソフトウェア開発の詳細については、「SUZAKU ソフトウェアマニュアル」をご参照ください。

D-Sub9 ピンクロスケーブル

D-Sub9 ピン(メス-メス)の「クロス接続用」のケーブルを用意してください。

D-Sub9 ピン-10 ピン変換ケーブル

D-Sub9 ピンと本ボードのピンヘッダ(10 ピン)を接続するための、D-Sub9 ピン-10 ピン変換ケーブルを用意してください。

各種マニュアル及びソースコード

SZ010-U00/SZ030-U00 に関する各種マニュアルやソースコードを準備してください。これらは開発キット付属 CD-ROM(以降付属 CD-ROM)に収録されています。また、SUZAKU 公式サイトのダウンロードページからダウンロードすることもできます。(http://suzaku.atmark-techno.com/downloads/all)

シリアル通信用ソフト

minicom や Tera Term などのシリアル通信用ソフトが必要です。(Linux 用のソフトは付属 CD-ROM の"suzaku/tools"にあります。)

DC3.3V 電源

DC3.3V 出力の電源を用意してください。

Xilinx ISE

Xilinx ISE¹を用意し、インストールしてください。

インストール後ソフトウェアアップデートをしてください。

Xilinx EDK

Xilinx EDK¹を用意し、インストールしてください。

インストール後ソフトウェアアップデートをしてください。

Xilinx Parallel Cable 、 またはそれ相当品

Parallel Cable 、 またはそれ相当のものを用意してください。

¹Xilinx 製品の詳細については、Xilinx のホームページ(<http://www.xilinx.co.jp/>)をご覧になられるか、Xilinx 代理店にお問い合わせください。

4. 概要

4.1. SZ010-U00, SZ030-U00 の特徴

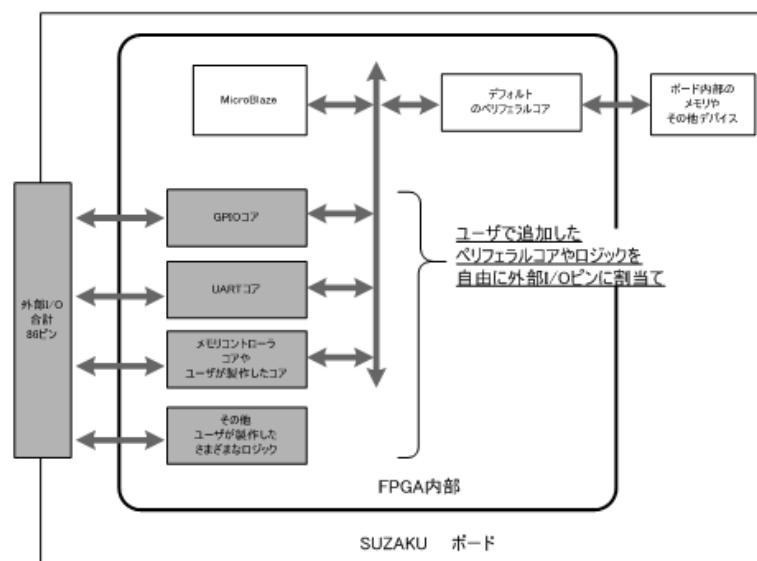
SZ010-U00/SZ030-U00 は Xilinx の FPGA 「Spartan-3」をベースとしたボードコンピュータです。FPGA 上にソフトプロセッサ「MicroBlaze」と周辺ペリフェラルコアを構成し、オペレーティングシステムとして Linux(uCLinux)を採用しています。

ソフトプロセッサと
周辺ペリフェラルコアの構築

MicroBlaze や周辺ペリフェラルコアの構築は、Xilinx EDK(Embedded Development Kit)を使用します。EDKは、GUI 環境下で MicroBlaze や周辺ペリフェラルコアの各種設定が行え、その設定情報から自動的にネットリストを生成するツールです。

カスタマイズ

FPGAの中には、ユーザによってカスタマイズが可能です。また、基板外周にユーザが自由に使える外部 I/O を 86 ピン実装しております。例えば、PIO や UART の数を増やし、外部 I/O ピンに割当てるなどのカスタマイズが簡単に行えます。¹



LAN

LAN インターフェース(10BASE-T/100BASE-TX)を実装しています。市販の LAN ケーブル(UTP)が接続できます。

オペレーティングシステム

μ CLinux を標準のオペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発には GNU のアセンブラーや C コンパイラ等を使用することができます。また、LAN コントローラデバイスドライバ、各種プロトコルが最初から用意されていますので、簡単にネットワークに接続できます。

オペレーティングシステムの詳細については、「SUZAKU ソフトウェアマニュアル」を参照ください。

¹FPGA のカスタマイズには Xilinx EDK、ISE が必要です。Xilinx 製品の詳細については、Xilinx のホームページ(<http://www.xilinx.co.jp/>)をご覧になられるか、Xilinx 代理店にお問い合わせください。

4.2. 仕様

本ボードの主な仕様を「表 4.1. SUZAKU-S 仕様」に示します。

表 4.1. SUZAKU-S 仕様

FPGA		Xilinx Spartan-3 XC3S400 FT256 (SZ010-U00) XC3S1000 FT256 (SZ030-U00)
プロセッサ		MicroBlaze(ソフトプロセッサ)
水晶発振器周波数		3.6864MHz(FPGA の内部 DCM により遡倍して使用)
メモリ	BRAM	8KByte
	SDRAM	16MByte
	フラッシュメモリ	4MByte (SZ010-U00) 8MByte (SZ030-U00)
コンフィギュレーション		フラッシュメモリ上に記憶、コントローラ TE7720
JTAG		2ポート(FPGA 用、TE7720 用)
Ethernet		10BASE-T/100BASE-TX
シリアル		UART 115.2kbps
タイマ		2ch(1ch は OS で使用)
フリー I/O ピン		86 ピン
リセット機能		ソフトウェアリセット
電源		電圧:3.3V±3% 消費電力:1.2W typ.(プロセッサ動作時)
使用温度範囲		0 ~60
基板サイズ		72×47mm

4.3. 全体ブロック図

SZ010-U00/SZ030-U00 の全体ブロック図を以下に示します。本構成は、μCLinux を動作させる最小構成です。

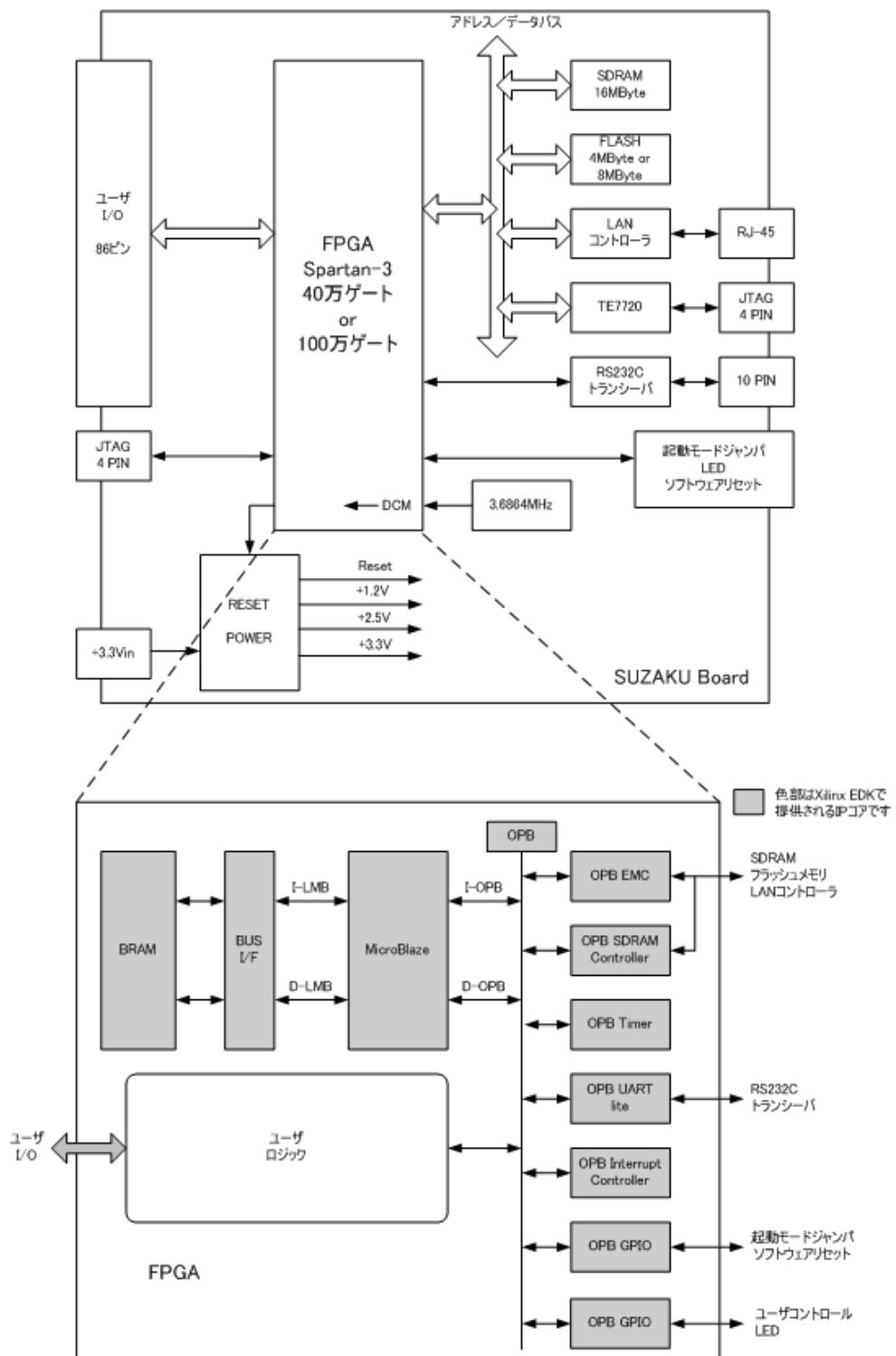


図 4.1. SZ010-U00/SZ030-U00 ブロック図

4.4. 機能

4.4.1. プロセッサ

FPGA 内部で MicroBlaze を使用しています。MicroBlaze の概要を以下に示します。

- 32 ビット RISC プロセッサ
- 32 ビット固定長命令
- 32 個の汎用 32bit レジスタ
- 3 ステージパイプライン
- 命令キャッシュとデータキャッシュ
- ハードウェア乗算器
- ハードウェアデバッグロジック対応

デフォルト FPGA プロジェクトの MicroBlaze のパラメータを変更した場合、Linux がブートしなくなることがあります。変更した場合は Linux のイメージを専用に作り直す必要があります。

4.4.2. バス

3 種類のバスで構成しています。

FPGA 内部 LMB	MicroBlaze と BRAM(FPGA 内部メモリ)を接続する専用バス
FPGA 内部 OPB	複数のペリフェラル IP コアを接続するバス カスタマイズを行う時は、本バスにペリフェラルコアを追加していきます。
FPGA 外部 バス	OPB EMC 及び OPB SDRAM を介し、外部メモリデバイスなどを接続するバス

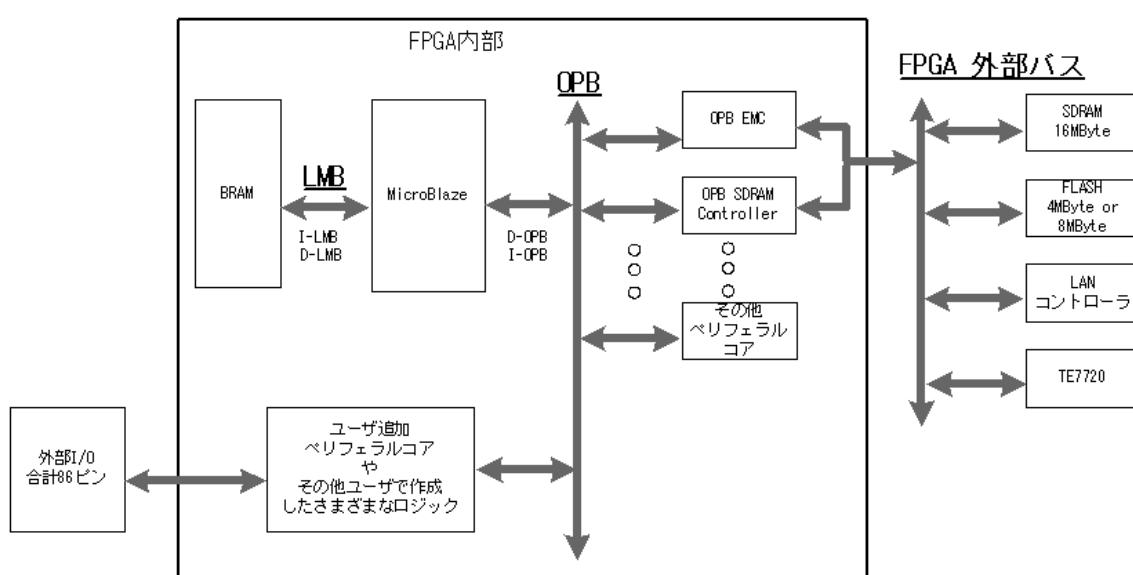


図 4.2. SZ010-U00/SZ030-U00 バス構成

4.4.3. メモリ

3 種類のメモリで構成しています。

4.4.9. FPGA コンフィギュレーション

FPGA コンフィギュレーション IC に TE7720(東京エレクトロンデバイス製)を実装しています。TE7720 は、JTAG(CON2)から送られてくるデータをフラッシュメモリにプログラムし、再起動時にフラッシュメモリからデータを読み込み、FPGA をコンフィギュレーションする IC です。("図 4 3FPGA コンフィギュレーション"参照)

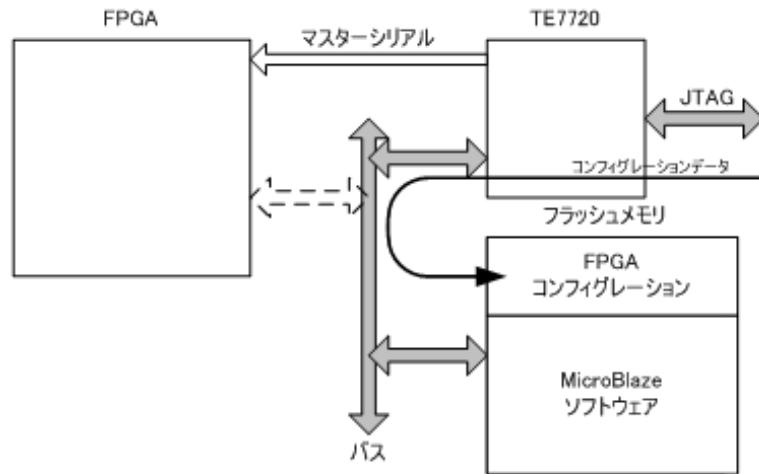
フラッシュメモリの全エリアは、プロセッサからも読み書き可能です。LAN や RS232C から、Linux システムや FPGA コンフィギュレーションデータを受信し、フラッシュメモリに対して書き込んで、再起動すると全く新しい機能をもったボードとして動作させることができます。また、ソフトウェアからコントロールできるリセット回路が入っていますので、遠隔地からの再コンフィギュレーションも可能です。

JTAG(CON2)から TE7720 にデータを転送するためのソフトウェア(LBPLAY2.EXE)は、東京エレクトロンデバイスのホームページから無料でダウンロードできます¹。コンフィギュレーションの方法については「SUZAKU スターターキットガイド(FPGA 開発編)」をご参照ください。

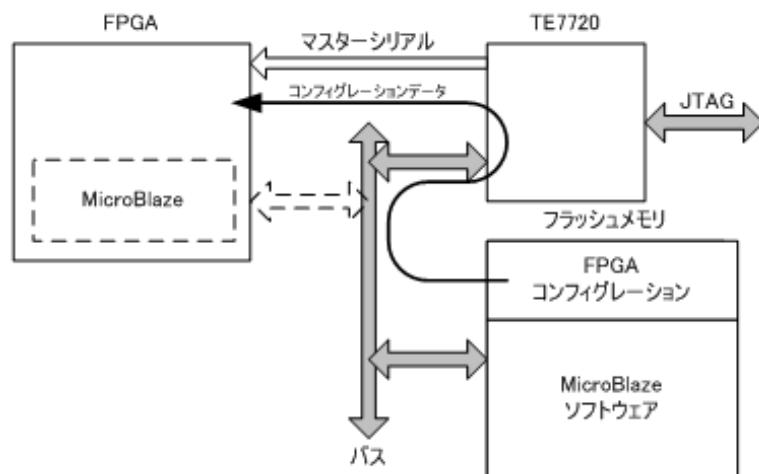
FPGA に間違ったデータをプログラムしたり、またプログラム中に何かの原因で、エラーを起こした場合は SUZAKU を動作させないでください。FPGA 外部回路部品(ボード上の部品も含む)と信号の衝突や異常動作により発熱、劣化、破損する可能性がありますので、一度電源を切断し、"JP2"をショートし、再プログラミングを行ってください。

SUZAKU は、電源再投入時"JP2"をショートすると、FPGA に対しコンフィギュレーションを停止させることができ、その間にプログラムすることができます。

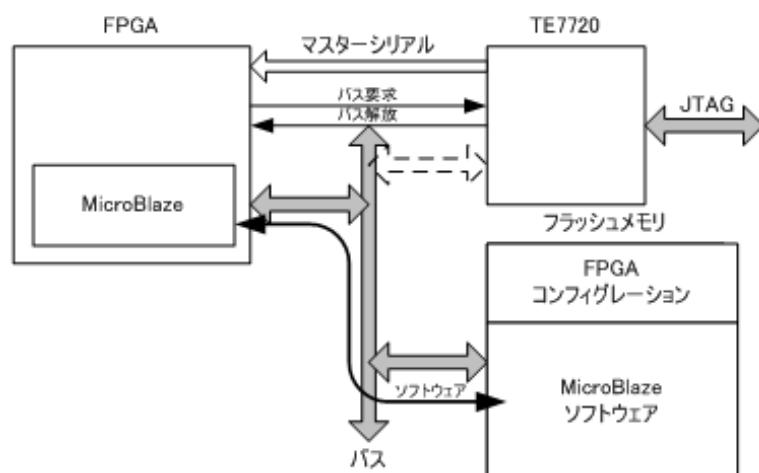
¹ 付属 CD-ROM にも収録されています



JTAGからTE7720経由でフラッシュメモリに書き込み



電源投入時フラッシュメモリからTE7720経由でFPGAをコンフィグレーション

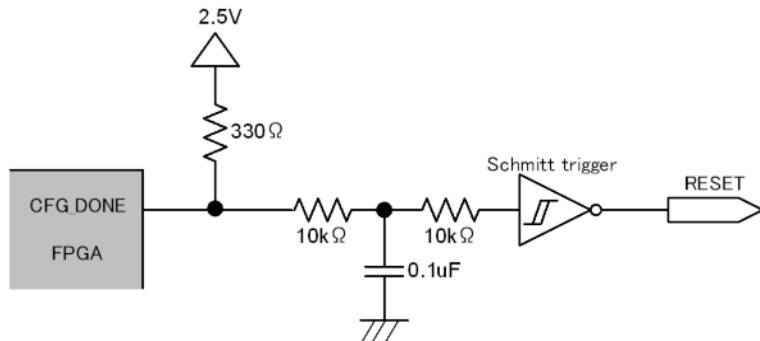


FPGAのコンフィギュレーション完了後、MicroBlazeがフラッシュメモリを使用

図 4.3. FPGA コンフィギュレーション

4.4.10. リセット信号

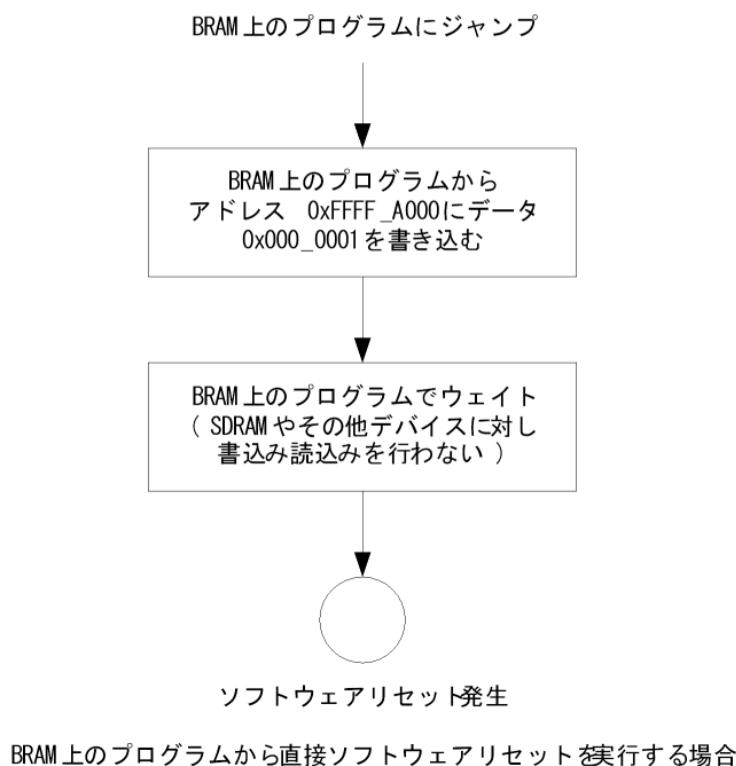
FPGA から出力される CFG_DONE 信号と以下の回路により、リセット信号を生成しています。CFG_DONE 信号は、FPGA コンフィギュレーション時に Low、コンフィギュレーション終了後に High となり、リセット信号は Active High の信号となります。FPGA のシステムリセット信号、各デバイス IC に接続しています。



4.4.11. ソフトウェアリセット機能

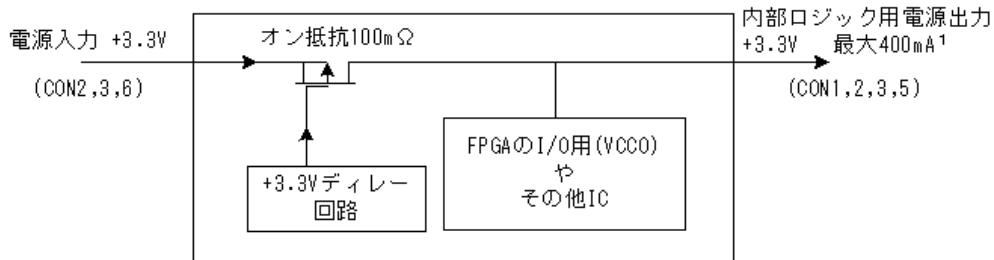
ソフトウェアリセットを実行すると、フラッシュメモリからコンフィギュレーションデータの再読み込み及び、FPGA のコンフィギュレーションを実行、各デバイス IC へリセットを出力します。

ソフトウェアリセットは、Linux の reboot コマンドを使用するか、または、BRAM 上のプログラムから、直接アドレス 0xFFFF_A000 にデータ 0x0000_0001 を書き込むことにより実行できます。BRAM 上のプログラムから直接ソフトウェアリセットを実行する場合は、SDRAM やその他デバイスに対し書込み読み込み（プログラムの実行を含む）を行わないでください。



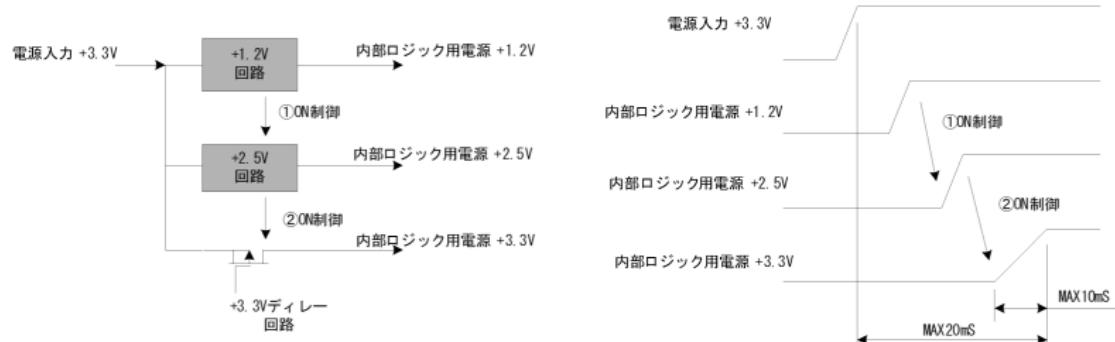
4.4.16. 内部ロジック用電源出力+3.3V

内部ロジック用電源+3.3Vは、FPGAのI/O用(VCCO)やその他ICに供給している電源です。CON1、CON2、CON3、CON5から、外部のデバイスに合計最大400mA²の電源供給が可能です。ただし、外部のデバイスの負荷変動が大きい場合、電源入力+3.3Vの応答によっては、電圧変動が発生することがあります。



4.4.17. 内部電源シーケンス

内部電源は、以下のようなシーケンスで立ち上ります。



² 外部I/Oから信号を出力する場合は、合計最大電流 = 400mA-外部I/O信号の出力電流となります。

5.メモリマップ

5.1. SUZAKU-S メモリマップ

本ボードのメモリマップは次の通りです。本構成は、μCLinux を動作させる最小構成です。

表 5.1. SUZAKU-S メモリマップ

Start Address	End Address	ペリフェラル	デバイス
0x0000 0000	0x0000 1FFF	BRAM	
0x0000 2000	0x7FFF FFFF	Reserved	
0x8000 0000	0x80FF FFFF	OPB-SDRAM Controller	SDRAM 16MByte
0x8100 0000	0xFEFF FFFF	Free	
0xFF00 0000	0xFF7F FFFF	OPB-EMC	フラッシュメモリ 4MByte or 8MByte
0xFF80 0000	0xFFDF FFFF	Free	
0xFFE0 0000	0xFFEF FFFF	OPB-EMC	LAN コントローラ
0xFFFF 0000	0xFFFF 0FFF	Free	
0xFFFF 1000	0xFFFF 10FF	OPB-Timer	
0xFFFF 1100	0xFFFF 1FFF	Free	
0xFFFF 2000	0xFFFF 20FF	OPB-UART lite	RS232C
0xFFFF 2100	0xFFFF 2FFF	Free	
0xFFFF 3000	0xFFFF 30FF	OPB-Interrupt Controller	
0xFFFF 3100	0xFFFF 9FFF	Free	
0xFFFF A000	0xFFFF A1FF	OPB-GPIO	ブートモードジャンパ ソフトウェアリセット
0xFFFF A200	0xFFFF A3FF	OPB-GPIO	ユーザコントロール LED
0xFFFF A400	0xFFFF FFFF	Free	

MicroBlaze はバスアーキテクチャとして IBM の CoreConnect を採用しています。CoreConnect のバスおよびレジスタビットの命名規則で MSB 側がビット(0)に定義されています。よって、LA(0 to 22)、LD(0 to 15)、RAM_BS(0 to 1)の VHDL バス記述は、MSB 側がビット(0)となっています。このため、LSB 側がビット(0)に定義されている外部デバイスと比べビットラベルが逆になります。上記表は通常の外部デバイスに接続するときのビットラベル(LSB 側がビット(0))で表記しています。アサイン時には十分ご注意ください。

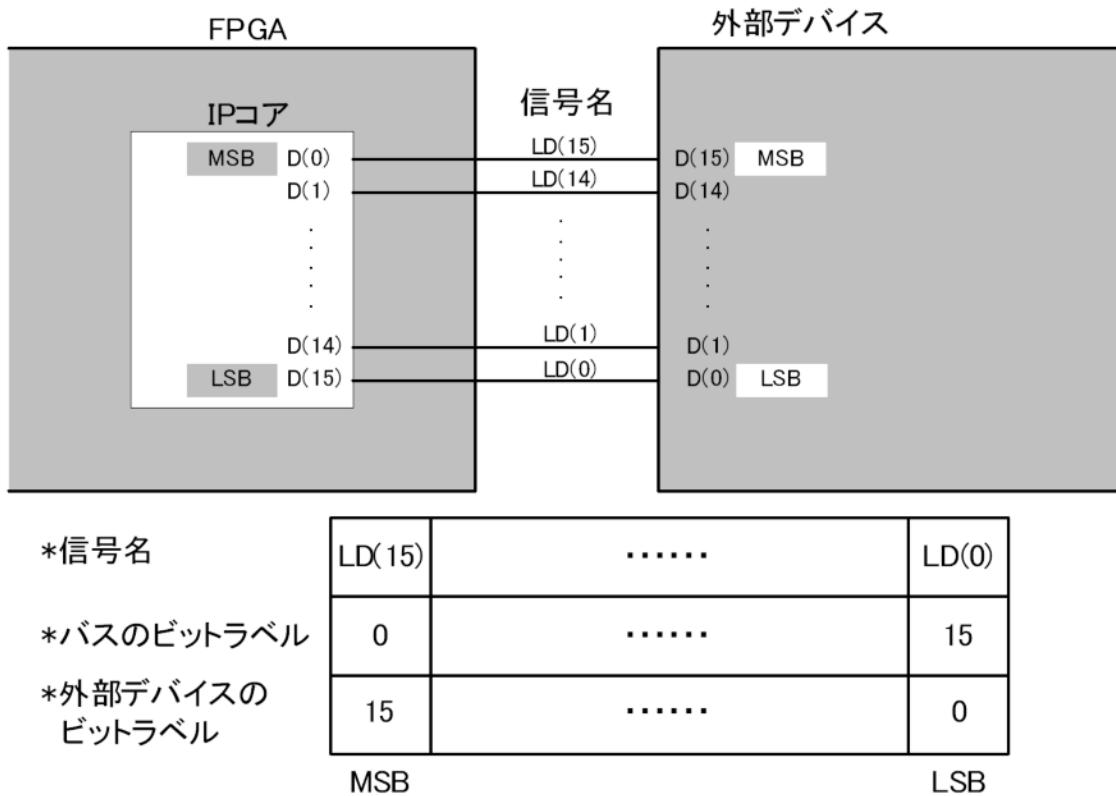


図 6.1. CoreConnect のビットラベルと信号名

7. 各種インターフェース仕様

7.1. 各種インターフェースの配置

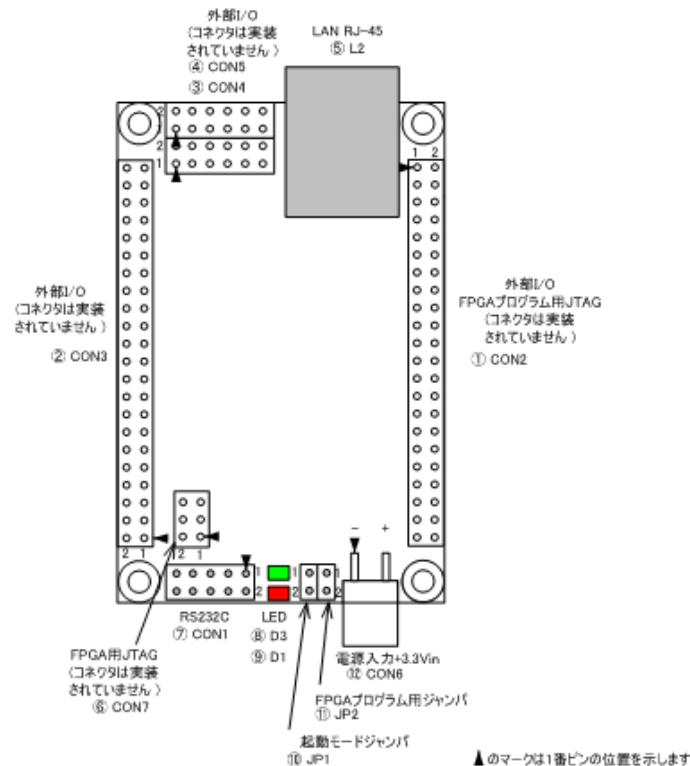


図 7.1. 各種インターフェースの配置

表 7.1. 各種インターフェースの内容

図内番号	部品番号	説明
	CON2	外部 I/O、FPGA プログラム用 JTAG コネクタ Total I/Os 32PIN ¹
	CON3	外部 I/O コネクタ Total I/Os 34PIN ¹
	CON4	外部 I/O コネクタ Total I/Os 10PIN ¹
	CON5	外部 I/O コネクタ Total I/Os 10PIN ¹
	L2	Ethernet 10BASE-T/100 BASE-TX コネクタ
	CON7	FPGA JTAG コネクタ
	CON1	RS232C コネクタ
	D3	パワーオン LED 緑
	D1	ユーザコントロール LED 赤
	JP1	起動モードジャンパ
	JP2	FPGA プログラム用ジャンパ
	CON6	電源入力+3.3V コネクタ

¹ 外部 I/O ピンは FPGA と直結されているため、コンフィギュレーション中はハイインピーダンス状態となります。コンフィギュレーション後は設定値により任意の状態となります。

7.10. D3 パワーON LED

本ボードに 3.3V が供給されると点灯(緑色)します。

7.11. D1 ユーザコントロール LED

ユーザコントロール可能な LED です。"LO." レベルで点灯(赤)します。FPGA と接続されています。

表 7.11. D1 ユーザコントロール LED

番号	信号名	I/O	機能
	LED0	O	LO.レベル : 点灯 HI.レベル : 消灯 Spartan-3 接続ピン番号 G5

7.12. CON6 電源入力+3.3V コネクタ

電源入力コネクタです。電源入力+3.3V は、 $+3.3V \pm 3\%$ で、単調増加としてください。CON2、CON3 の"電源入力+3.3V"とボード内部で接続されています。

ボード側で使用しているコネクタ型式/メーカーは、B2PS-VH/日本圧着端子(相当品)です。ケーブル側のコネクタ型式/メーカーは、ハウジング VHR-2N/日本圧着端子(相当品)、コントラクト BVH-21T-P1.1/日本圧着端子(相当品) または、BVH-41T-P1.1/日本圧着端子(相当品)が使用できます。

表 7.12. CON6 電源入力+3.3V コネクタ

番号	信号名	I/O	機能
1	GND		グランド
2	+3.3VIN	I	電源入力 +3.3V

7.13. Ethernet 10BASE-T/100BASE-TX

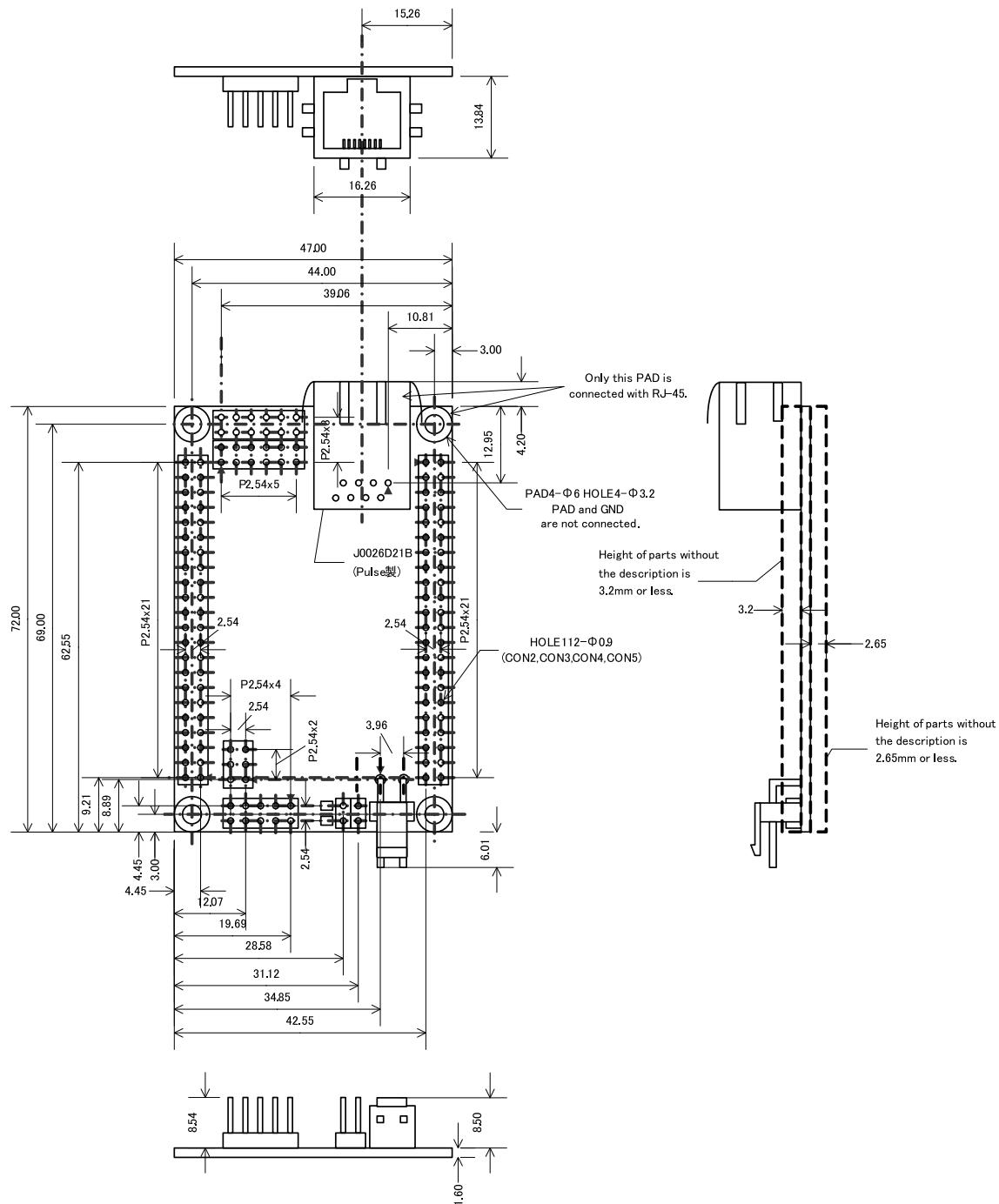
ボード側で使用しているコネクタ型式/メーカーは、J0026D21B/PULSE です。

表 7.13. Ethernet 10BASE-T/100BASE-TX

番号	信号名	I/O	機能
1	TX+		差動ツイストペア出力+
2	TX-		差動ツイストペア出力-
3	RX+		差動ツイストペア入力+
4			75 終端 (4 番ピンと 5 番ピンはショートしています)
5			75 終端 (4 番ピンと 5 番ピンはショートしています)
6	RX-		差動ツイストペア入力-
7			75 終端 (7 番ピンと 8 番ピンはショートしています)
8			75 終端 (7 番ピンと 8 番ピンはショートしています)

8. 基板形状図

本ボードの基板形状図を以下に示します。



[単位: mm]

図 8.1. SZ010-U00/SZ030-U00 の基板形状

9. SZ010-U00 と SZ030-U00 の違い

9.1. SZ010-U00 と SZ030-U00 の違い

SZ010-U00 と SZ030-U00 の違いは以下の 3 点です。

- FPGA
- フラッシュメモリ
- フラッシュメモリマップ

9.1.1. FPGA について

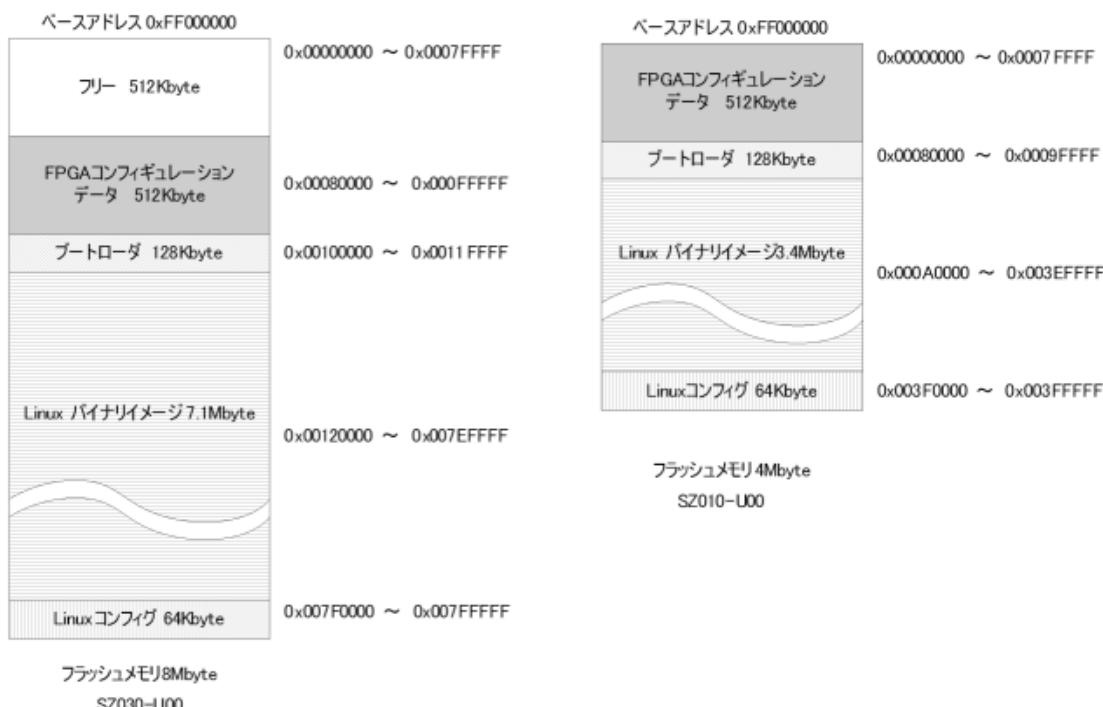
SZ010-U00 は XC3S400FT256 (Spartan-3 40 万ゲート) を、SZ030-U00 は XC3S1000FT256 (Spartan-3 100 万ゲート) を使用しています。ピンアサインはすべて互換です。

9.1.2. フラッシュについて

SZ010-U00 は 4Mbyte を、SZ030-U00 は 8Mbyte を使用しています。4Mbyte では最上位アドレスビット LA(22)は使用されません。

9.1.3. フラッシュメモリマップについて

SZ010-U00 と SZ030-U00 のフラッシュメモリマップは以下のようになります。



9.2. 以前に開発した Linux バイナリイメージの動作

9.2.1. 以前に開発した Linux バイナリイメージを SZ030-U00 でそのまま動作させる方法

CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージは、フラッシュメモリマップ自動判別に対応していないため、そのままでは SZ030-U00(8Mbyte) で動作しません。SZ030-U00 で CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージを動かすには、以下の作業を行ってください。

1. `bus_select_s` のパラメータ `C_COMPATIBLE_32MBIT` の値を '1' に変更してください。
2. FPGA プロジェクトのコンパイルしなおしてください。コンパイル方法は「SUZAKU スターターキットガイド(FPGA 開発編)」をご参照ください。
3. SZ030-U00 へのコンフィギュレーションをしなおしてください。
4. 付 属 CD-ROM の "`/suzaku /bootloader /s-record /loader-suzaku-microblaze-vx.x.x-4M.srec`" (x.x.x:バージョン) を SZ030-U00 へダウンロードしてください。ダウンロードの方法は「SUZAKU ソフトウェアマニュアル」を参照ください。
5. 最後に、付属 CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージを SUZAKU-S へダウンロードしてください。

Linux バイナリイメージのダウンロードの方法は「SUZAKU ソフトウェアマニュアル」を参照ください。



"SUZAKU-S20050131" 以降の付属 CD-ROM のソフトウェアは、フラッシュメモリマップ自動判別機能があり、どちらでも問題なく動作します。

SUZAKU-S ハードウェアマニュアル
Version 2.0.9-55bca35
2009/03/24

株式会社アットマークテクノ
060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F TEL 011-207-6550 FAX 011-207-6570
