



# **AN010**

## **hardware manual**

Version 1.01

2005年2月10日

株式会社アットマークテクノ  
<http://www.atmark-techno.com/>

Armadillo 公式サイト  
<http://armadillo.atmark-techno.com/>

# 目次

1.	はじめに	1
2.	注意事項	2
2.1.	安全に関する注意事項	2
2.2.	取り扱い上の注意事項	2
2.3.	ソフトウェア使用に関する注意事項	2
2.4.	商標について	2
3.	概要	3
3.1.	ボード概要	3
3.2.	ブロック図	4
4.	メモリマップ	5
4.1.	物理メモリマップ	5
4.2.	Linux 使用時の論理メモリマップ	6
5.	各種インターフェース仕様	7
5.1.	各種インターフェースの配置	7
5.2.	CON1 (シリアルインターフェース 1)	8
5.3.	CON2 (シリアルインターフェース 2)	9
5.4.	CON3 (USB インターフェース)	9
5.5.	CON4 (パラレルインターフェース)	10
5.6.	CON5 (パラレルインターフェース)	10
5.7.	CON6 (EP9315 JTAG)	11
5.8.	CON7	11
5.9.	CON8 (同期シリアル / AC97 / I2S)	12
5.10.	CON9 (IDE インターフェース)	13
5.11.	CON10 (Compact Flash)	14
5.12.	CON11 (LAN コネクタ)	15
5.13.	CON12 (VGA コネクタ)	15
5.14.	CON13 (電源入力コネクタ)	16
5.15.	CON14 (拡張電源入力)	16
5.16.	J1, J2 (PC/104 準拠拡張バス)	17
5.16.1.	PC/104 拡張バスアクセス時の注意事項	20
5.16.2.	アクセスタイミング	22
5.17.	LED (D4)	23
5.18.	LED (D5, D6)	23
5.19.	LED (D14)	24
5.20.	JP1 ~ 2	24
5.20.1.	JP1 (ブート ROM の選択)	24
5.20.2.	JP2 (ブート Linux の選択)	24
5.21.	コネクタ型式	25
5.22.	LED 型式(参考)	25
6.	その他の各種機能	26
6.1.	CPLD 内部レジスタ(I/O Control Register)	26
6.1.1.	I/O Control レジスタのメモリマップ	26
6.1.2.	各種 I/O Control レジスタの詳細	27
6.1.3.	PC/104 の割り込みコントローラの仕組み	28
6.2.	外部割込みについて	29
6.3.	LED (D1)	29
6.4.	カレンダー時計(Real Time Clock)	30

6.5. 電源回路の構成	30
7. 基板形状図	31
8. 更新履歴	32

## 表目次

表 3-1 Armadillo-9 ボード仕様	3
表 4-1 Armadillo-9 物理メモリマップ	5
表 4-2 Armadillo-9 Linux 使用時の論理メモリマップ	6
表 5-1 各種インターフェースの内容	8
表 5-2 CON1 信号配列	8
表 5-3 CON2 信号配列	9
表 5-4 CON3 信号配列	9
表 5-5 CON4 信号配列	10
表 5-6 パラレルインターフェースの電氣的仕様	10
表 5-7 CON5 信号配列	10
表 5-8 CON8 信号配列	12
表 5-9 各モードにおけるピンの機能	12
表 5-10 CON9 信号配列	13
表 5-11 CON10 信号配列	14
表 5-12 CON11 信号配列	15
表 5-13 CON12 信号配列	15
表 5-14 解像度と水平周波数	16
表 5-15 CON13 信号配列	16
表 5-16 CON14 信号配列	16
表 5-17 J1 信号配列(1)	17
表 5-18 J1 信号配列(2)	18
表 5-19 J2 信号配列(1)	19
表 5-20 J2 信号配列(2)	19
表 5-21 LED(D5,D6) の状態	23
表 5-22 LED(D14) の状態	24
表 5-23 ジャンパの設定と動作	24
表 5-24 コネクタ型式の一覧	25
表 5-25 LED 型式の例	25
表 6-1 I/O Control レジスタのメモリマップ	26
表 6-2 各種 I/O Control レジスタの詳細	27
表 6-3 各種 I/O Control レジスタの各ビットの意味	27

## 図目次

---

図 3-1	Armadillo-9 ブロック図	4
図 5-1	各種インターフェースの配置	7
図 5-2	PC/104 バスのメモリ空間	20
図 5-3	PC/104 バスへのアクセス方法	21
図 5-4	PC/104 バスアクセスタイミング	22
図 5-5	LED(D4)の接続	23
図 5-6	LED(D5,6)の接続	23
図 5-7	LED(D14)の接続	24
図 5-8	ジャンパコネクタ	25
図 6-1	PC/104 の割り込みコントローラの仕組み	28
図 6-2	EXTIRQ の接続	29
図 6-3	LED(D1)の接続	29
図 6-4	CPU(EP9315)と RTC の接続	30
図 6-5	Armadillo-9 の電源回路構成	30
図 7-1	Armadillo-9 の基板形状	31

# 1.はじめに

---

このたびは Armadillo-9 をお求めいただき、ありがとうございます。

Armadillo-9 は ARM9 プロセッサ (CirrusLogic 社製 EP9315 : 200MHz) を採用した小型のシングルボードコンピュータです。100Mbps 対応のネットワークのほか、シリアル、USB、IDE、VGA 等の多くのインターフェースを搭載しています。Compact Flash のスロットにはメモリストレージや PHS カードや無線 LAN カードなどの I/O カードを接続でき、PC/104 バスによる機能拡張も可能です。

また Linux を標準のオペレーティングシステム (OS) として採用しており、オープンソースで開発されている豊富なソフトウェア資産を活用することができます。ソフトウェアの開発には GNU のアセンブラや C コンパイラ等を使用することができます。

本マニュアルは、Armadillo-9 のハードウェアの仕様や使用方法について書かれたものです。Armadillo-9 の機能を最大限引き出すために、ご活用いただければ幸いです。

## 2. 注意事項

### 2.1. 安全に関する注意事項

Armadillo-9 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用（OA機器・通信機器・計測機器・工作機械等）に製造された半導体部品を使用しておりますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置（医療機器・交通機器・燃焼制御・安全装置等）に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性がありますので、ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計（リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等）に万全を期されますようお願い申し上げます。

### 2.2. 取り扱い上の注意事項

Armadillo-9 に恒久的なダメージをあたえないよう、取り扱い時には以下のような点にご注意ください。

- ボードの着脱  
Armadillo-9 や周辺回路に電源が入っている状態では絶対に本ボードの着脱を行わないでください。
- 静電気  
Armadillo-9 には CMOS デバイスを使用しておりますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。
- ラッチアップ  
電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインに保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

### 2.3. ソフトウェア使用に関する注意事項

- 本製品に含まれるソフトウェアについて  
本製品に含まれるソフトウェア（付属のドキュメント等も含みます）は、現状のまま（AS IS）提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません

### 2.4. 商標について

Armadillo は株式会社アットマークテクノの登録商標です。その他の記載の商品名および会社名は、各社・各団体の商標または登録商標です。

## 3. 概要

### 3.1. ボード概要

Armadillo-9 の主な仕様を表 3 - 1 に示します。

表 3-1 Armadillo-9 ボード仕様

プロセッサ	CirrusLogic EP9315-CB ARM920T コア採用 ・ ARM9TDMI CPU ・ 16kByte 命令キャッシュ ・ 16kByte データキャッシュ ・ Thumb code(16bit 命令セット)サポート
システムクロック	CPU Core クロック : 200MHz BUS クロック: 100MHz
メモリ	SDRAM : 64MByte(32bit 幅) FLASH : 8MByte(16bit 幅)
LAN インターフェース	10BASE-T/100BASE-TX
シリアルポート	2 チャンネル(調歩同期, Max:115.2kbps) RS232C レベル入出力 フロー制御 ・ COM1:フロー制御ピン有り(CTS,RTS,DTR,DSR,DCD,RI) ・ COM2:フロー制御ピン無し
汎用パラレル入出力	8 ビット + 4 ビット
タイマ	・ 16 ビット汎用タイマ : 2 チャンネル (1 チャンネルは Linux のシステムタイマに使用) ・ 32 ビット汎用タイマ : 1 チャンネル ・ 40 ビットデバッグ向けタイマ : 1 チャンネル
VGA	コネクタ形状: D-sub15 ピン 最大解像度 1024 × 768 ・ 1024 × 768 ( 8bit Color ) ・ 800 × 600 ( 8 / 16bit Color ) ・ 640 × 480 ( 8 / 16bit Color )
USB (Host)	2.0 Full Speed(12Mbps) 1 チャンネル, Type-A コネクタ
ストレージ	IDE I/F ( 2.0mm ピッチ 44 ピン ) PIO モード、ATA33 モード対応
カレンダー時計	SII 社製 : S-3531A(または S-35380A、S-35390A) ポリアセンキャパシタによりバックアップ (ボード外部の電池併用可能)
CompactFlash	Type I / II に対応 (I/O, メモリカード対応)
拡張バス	PC/104 準拠ピン配列(16bit)
基板サイズ	90.2 × 95.9 (突起部含まず)
電源電圧	5V ± 5%
消費電流	400mA(Typ.)

### 3.2. ブロック図

Armadillo-9 のブロック図を図 3-1 に示します。

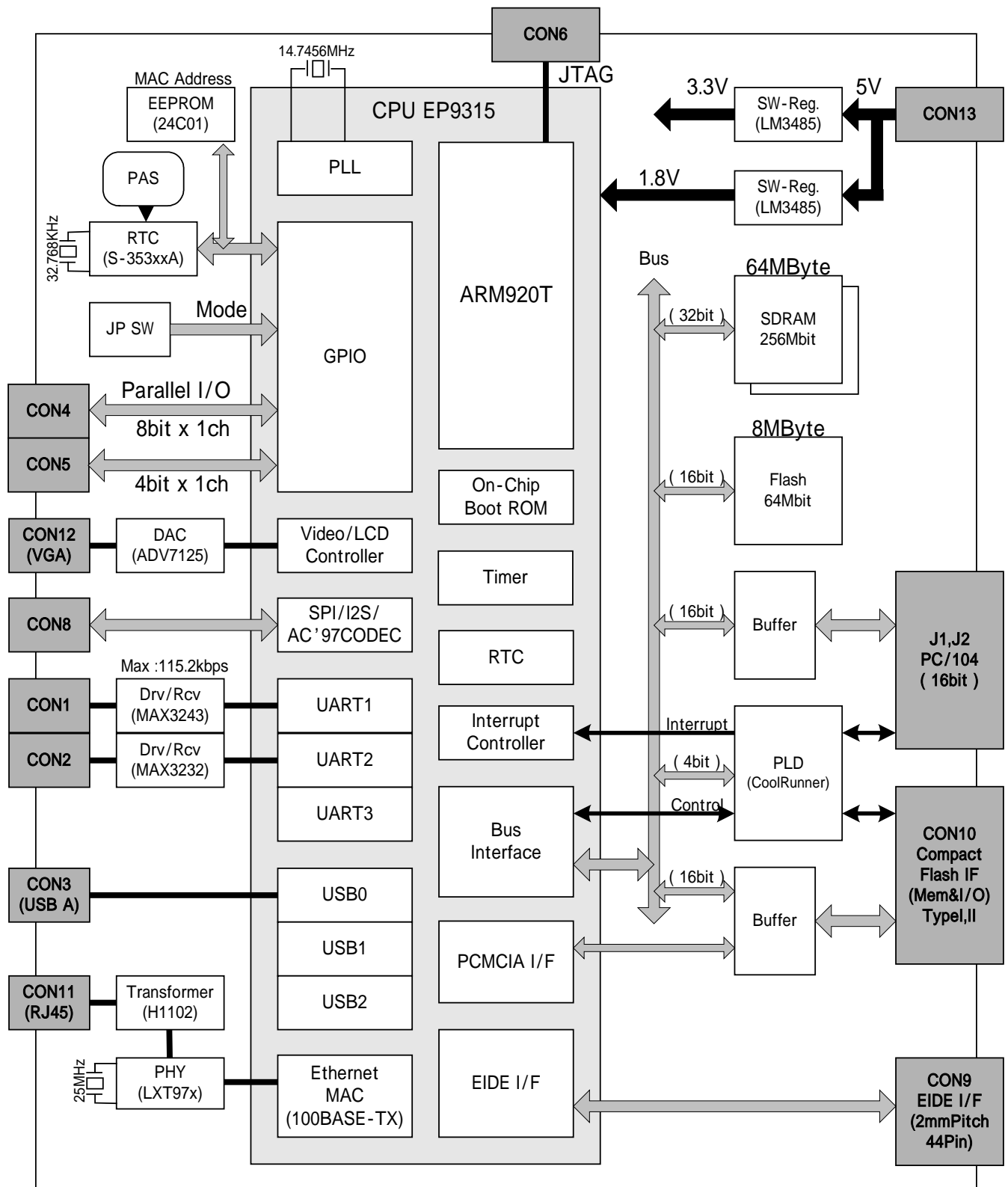


図 3-1 Armadillo-9 ブロック図



## 4. メモリマップ

### 4.1. 物理メモリマップ

Armadillo-9 の物理メモリマップは次の通りです。

表 4-1 Armadillo-9 物理メモリマップ

Start Address	End Address	デバイス	メモリエリア	設定		
0x0040 0000	0x0FFF FFFF	Reserved	CS0			
0x1000 0000	0x1000 000F	I/O Control Register	CS1	8bit 幅		
0x1000 0010	0x11FF FFFF	Reserved				
0x1200 0000	0x1200 FFFF	PC/104 I/O 空間 (8bit)				
0x1201 0000	0x12FF FFFF	Reserved				
0x1300 0000	0x13FF FFFF	PC/104 Memory 空間 (8bit)				
0x1400 0000	0x1FFF FFFF	Reserved				
0x2000 0000	0x21FF FFFF	Reserved	CS2	16bit 幅		
0x2200 0000	0x2200 FFFF	PC/104 I/O 空間 (16bit)				
0x2201 0000	0x22FF FFFF	Reserved				
0x2300 0000	0x23FF FFFF	PC/104 Memory 空間 (16bit)				
0x2400 0000	0x2FFF FFFF	Reserved				
0x3000 0000	0x3FFF FFFF	Reserved				
0x4000 0000	0x47FF FFFF	Compact Flash (I/O 空間)		16bit 幅		
0x4800 0000	0x4BFF FFFF	Compact Flash (Attribute 空間)		16bit 幅		
0x4C00 0000	0x4FFF FFFF	Compact Flash (Memory 空間)		16bit 幅		
0x5000 0000	0x5FFFFFFF	Reserved				
0x6000 0000	0x607FFFFF	Flash Memory (8MByte)	CS6	16bit 幅		
0x60800000	0x6FFFFFFF	Reserved				
0x7000 0000	0x7FFF FFFF	Reserved				
0x8000 0000	0x8008 FFFF	EP9315 Internal Register (AHB)	CPU System Register			
0x8009 0000	0x8009 3FFF	Internal Boot ROM (16KByte)				
0x8009 4000	0x8009 FFFF	Reserved				
0x800A 0000	0x800F FFFF	EP9315 Internal Register (AHB)				
0x8010 0000	0x807F FFFF	Reserved				
0x8080 0000	0x8094 FFFF	EP9315 Internal Register (APB)				
0x8095 0000	0x8FFF FFFF	Reserved				
0x9000 0000	0xBFFF FFFF	Reserved				
0xC000 0000	0xC1FF FFFF	SDRAM (32MByte)			SDCE0 (SDRAM)	32bit 幅
0xC200 0000	0xC3FF FFFF	Reserved				
0xC400 0000	0xC5FF FFFF	SDRAM (32MByte)				
0xC600 0000	0xCFFF FFFF	Reserved				
0xD000 0000	0xDFFF FFFF	Reserved				
0xE000 0000	0xEFFF FFFF	Reserved				
0xF000 0000	0xFFFF FFFF	Reserved				

## 4.2. Linux 使用時の論理メモリマップ

Linux を使用する場合、Armadillo-9 は MMU により次の論理メモリマップに設定されます。

表 4-2 Armadillo-9 Linux 使用時の論理メモリマップ

Start Address	End Address	デバイス	メモリエリア	設定
動的に確保	+0x0007 FFFF	Flash Memory (8MByte)	CS6	16bit 幅
0xC000 0000	0xC3FF FFFF	SDRAM (64MByte)	SDCE0 (SDRAM)	32bit 幅
0xC400 0000	0xCFFF FFFF	Reserved		
0xD000 0000	0xD7FF FFFF	Compact Flash (I/O 空間)		16bit 幅
0xD800 0000	0xDBFF FFFF	Compact Flash (Attribute 空間)		16bit 幅
0xDC00 0000	0xDFFF FFFF	Compact Flash (Memory 空間)		16bit 幅  8bit 幅
0xF000 0000	0xF000 000F	I/O Control Register	CS1	
0xF000 0010	0xF1FF FFFF	Reserved		
0xF200 0000	0xF200 FFFF	PC/104 I/O 空間 (8bit)		
0xF201 0000	0xF2FF FFFF	Reserved		
0xF300 0000	0xF3FF FFFF	PC/104 Memory 空間 (8bit)		
0xF600 0000	0xF600 FFFF	PC/104 I/O 空間 (16bit)	CS2	
0x F601 0000	0x F6FF FFFF	Reserved		
0x F700 0000	0x F7FF FFFF	PC/104 Memory 空間 (16bit)		
0xFF00 0000	0xFF08 FFFF	EP9315 Internal Register (AHB)	CPU System Register	
0xFF09 0000	0xFF09 3FFF	Internal Boot ROM (16KByte)		
0xFF09 4000	0xFF09 FFFF	Reserved		
0xFF0A 0000	0xFF0F FFFF	EP9315 Internal Register (AHB)		
0xFF10 0000	0xFF7F FFFF	Reserved		
0xFF80 0000	0xFF94 FFFF	EP9315 Internal Register (APB)		
0xFF95 0000	0xFFFF FFFF	Reserved		

## 5. 各種インターフェース仕様

### 5.1. 各種インターフェースの配置

Armadillo-9 のインターフェースの配置は次の通りです。

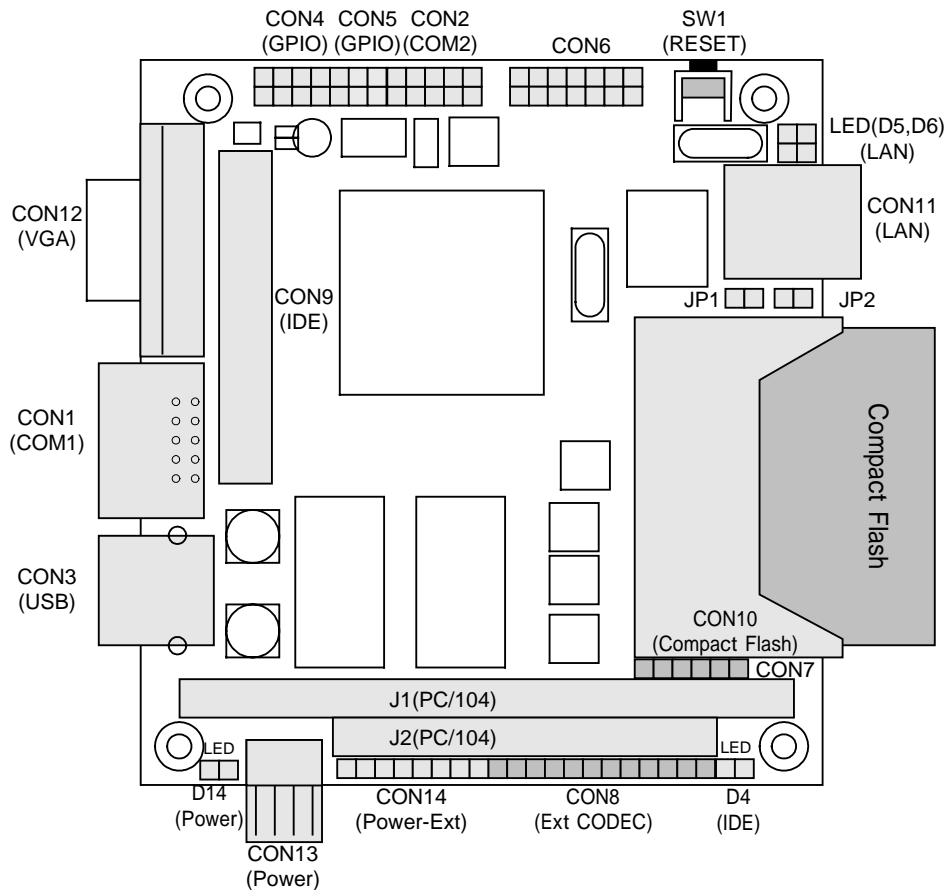


図 5-1 各種インターフェースの配置

表 5-1 各種インターフェースの内容

記号	インターフェース	備考
CON1	シリアルインターフェース 1	
CON2	シリアルインターフェース 2	コネクタ非搭載
CON3	USB インターフェース (Host, USB2.0, FullSpeed:12Mbps)	Type-A コネクタ
CON4	パラレルインターフェース (8bit 汎用入出力)	コネクタ非搭載
CON5	パラレルインターフェース (4bit 汎用入出力)	コネクタ非搭載
CON6	JTAG インターフェース	コネクタ非搭載
CON7	同期シリアル / AC97 CODEC / I2S CODEC	コネクタ非搭載
CON8	(Reserved)	コネクタ非搭載
CON9	IDE インターフェース (2.0mm ピッチ, 44 ピン)	
CON10	Compact Flash スロット (Type I / II, I/O / メモリカード対応)	
CON11	LAN コネクタ (10BASE-T / 100BASE-TX)	RJ-45
CON12	VGA インターフェース (D-Sub15 ピン)	
CON13	電源入力端子 (5V, 12V)	
CON14	拡張電源入力端子 (-5V, -12V, RTC バックアップ)	コネクタ非搭載
J1, 2	PC/104 拡張コネクタ (スタックスルー)	コネクタ非搭載
LED (D4)	IDE アクセス	LED 非搭載
LED (D5, 6)	LAN アクセス (Link, Active)	
LED (D14)	電源	LED 非搭載
JP1 ~ 2	起動モード設定ジャンパ	
SW1	RESET スイッチ	

## 5.2. CON1 (シリアルインターフェース 1)

CON1 は非同期(調歩同期)シリアルインターフェースです。CPU(EP9315)の UART1 と接続されています。

- 信号入出力レベル : RS232C レベル
- 最大データ転送レート : 115.2kbps
- フロー制御 : CTS, RTS, DTR, DSR, DCD, RI
- FIFO : 送受信ともに 16Byte 内蔵

表 5-2 CON1 信号配列

番号	信号名	I/O	機能
1	DCD	I	EP9315 内蔵の UART1-DCD ピンに接続
2	DSR	I	EP9315 内蔵の UART1-DSR ピンに接続
3	RXD	I	EP9315 内蔵の UART1-RXD ピンに接続
4	RTS	O	EP9315 内蔵の UART1-RTS ピンに接続
5	TXD	O	EP9315 内蔵の UART1-TXD ピンに接続
6	CTS	I	EP9315 内蔵の UART1-CTS ピンに接続
7	DTR	O	EP9315 内蔵の UART1-DTR ピンに接続
8	RI	I	EP9315 内蔵の Port D3 ピンに接続
9	GND	Power	電源(GND)
10	+3.3V	Power	電源(+3.3V)

### 5.3.CON2 ( シリアルインターフェース 2 )

CON2 は非同期(調歩同期)シリアルインターフェースです。CPU(EP9315)の UART2 と接続されています。

- 信号入出力レベル：RS232C レベル
- 最大データ転送レート：115.2kbps
- フロー制御：なし
- FIFO：送受信ともに 16Byte 内蔵

表 5-3 CON2 信号配列

番号	信号名	I/O	機 能
1	-		
2	-		
3	RXD	I	EP9315 内蔵の UART2-RXD ピンに接続
4	RTS	O	CON2(6 ピン)と基板上で接続(ループバック)
5	TXD	O	EP9315 内蔵の UART2-TXD ピンに接続
6	CTS	I	CON2(4 ピン)と基板上で接続(ループバック)
7	-		
8	-		
9	GND	Power	電源(GND)
10	+3.3V	Power	電源(+3.3V)

### 5.4.CON3 ( USB インターフェース )

CON3 は USB シリアルインターフェースです。CPU(EP9315)上の USB0 と接続されています。

- データ転送モード： USB2.0 Full Speed(12Mbps)、Low Speed(1.5Mbps)
- 供給電源：電圧+5V、電流 500mA(max)
- コネクタ形状：Type A

表 5-4 CON3 信号配列

番号	信号名	I/O	機 能
1	+5V	Power	電源 (+5V, 最大 500mA の供給可能)
2	USB -	I/O	USB のマイナス側信号
3	USB+	I/O	USB のプラス側信号
4	GND	Power	電源 ( GND )

## 5.5.CON4 (パラレルインターフェース)

CON4は汎用入出力ポートです。CPU(EP9315)のGPIO(General Purpose I/O)と接続されています。CPU内のPADR(Port A data register I/O: 0x8084 0000番地)、PADDR(Port A data direction register I/O: 0x8084 0010番地)、PBDR(Port B data register I/O: 0x8084 0004番地)、PBDDR(Port B data direction register I/O: 0x8084 0014番地)を使用して制御することができます。

表 5-5 CON4 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	+3.3V	Power	電源(+3.3V)
3	GPIO_0	I/O	汎用入出力ポート 0(CPU:EGPIO4 PortA:4)
4	GPIO_1	I/O	汎用入出力ポート 1(CPU:EGPIO5 PortA:5)
5	GPIO_2	I/O	汎用入出力ポート 2(CPU:EGPIO6 PortA:6)
6	GPIO_3	I/O	汎用入出力ポート 3(CPU:EGPIO7 PortA:7)
7	GPIO_4	I/O	汎用入出力ポート 4(CPU:EGPIO8 PortB:0)
8	GPIO_5	I/O	汎用入出力ポート 5(CPU:EGPIO9 PortB:1)
9	GPIO_6	I/O	汎用入出力ポート 6(CPU:EGPIO10 PortB:2)
10	GPIO_7	I/O	汎用入出力ポート 7(CPU:EGPIO11 PortB:3)

パラレルインターフェースの電気的仕様は次の通りです。

表 5-6 パラレルインターフェースの電気的仕様

Symbol	Parameter	Min	Max	Unit	Conditions
V <sub>IH</sub>	CMOS Input high voltage	0.65 × V <sub>DDIO</sub>	V <sub>DDIO</sub> +0.3	V	V <sub>DDIO</sub> =3.3V
V <sub>IL</sub>	CMOS Input low voltage	-0.3	0.35 × V <sub>DDIO</sub>	V	
V <sub>OH</sub>	CMOS Output high voltage	2.8		V	I <sub>OH</sub> =4mA
V <sub>OL</sub>	CMOS Output low voltage		0.5	V	I <sub>OL</sub> =-4mA
I <sub>OH</sub>	CMOS Output high voltage		4	mA	
I <sub>OL</sub>	CMOS Output low voltage		-4	mA	
I <sub>IL</sub>	Input leakage current		10.0	μA	V <sub>IN</sub> =V <sub>DD</sub> or GND

## 5.6.CON5 (パラレルインターフェース)

CON5は汎用入出力ポートです。CPU(EP9315)のGPIO(General Purpose I/O)と接続されています。CPU内のPDDR(Port D data register I/O: 0x8084 000C番地)、PDDDR(Port D data direction register I/O: 0x8084 001C番地)を使用して制御することができます。パラレルインターフェースの電気的仕様は表 5-6の通りです。

表 5-7 CON5 信号配列

番号	信号名	I/O	機能
1	GPIO_D0	I/O	汎用入出力ポート 0(CPU:PortD:0)
2	GPIO_D1	I/O	汎用入出力ポート 1(CPU:PortD:1)
3	GPIO_D2	I/O	汎用入出力ポート 2(CPU:PortD:2)
4	GPIO_D3	I/O	汎用入出力ポート 3(CPU:PortD:3)

## 5.7.CON6 ( EP9315 JTAG )

CON6 は Armadillo-9 に JTAG デバッガを接続するためのコネクタです。CPU(EP9315)の JTAG 信号と接続されています。

番号	信号名	I/O	機能
1	+3.3V	Power	電源 ( +3.3V )
2	GND	Power	電源 ( GND )
3	TDO	O	EP9315 の JTAG TDO
4	GND	Power	電源 ( GND )
5	TDI	I	EP9315 の JTAG TDI
6	GND	Power	電源 ( GND )
7	TMS	I	EP9315 の JTAG TMS
8	GND	Power	電源 ( GND )
9	TCK	I	EP9315 の JTAG TCK
10	GND	Power	電源 ( GND )
11	TDO	I	EP9315 の JTAG TDO
12	-		(Reserved)
13	+3.3V	Power	電源 ( +3.3V )
14	GND	Power	電源 ( GND )

## 5.8.CON7

このコネクタを使用する場合の動作は保証されておりません。

## 5.9.CON8 (同期シリアル / AC97 / I2S)

CON8 は同期シリアル、AC97CODEC、オーディオ CODEC のデバイスを接続するためのコネクタですが、このコネクタを使用する場合の動作は保証されておりません。以下にピン配列を示します。

表 5-8 CON8 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源 ( GND )
2	ASDI	I	表 5-9 を参照 ( CPU:ASDI )
3	ARST*	O	表 5-9 を参照 ( CPU:ARST* )
4	ASDO	O	表 5-9 を参照 ( CPU:ASDO )
5	ASYNC	O	表 5-9 を参照 ( CPU:ASYNC )
6	ABITCLK	I	表 5-9 を参照 ( CPU:BITCLK )
7	+3.3V	Power	電源(+3.3V)
8	SSPRX1	I	表 5-9 を参照 ( CPU:SSPRX1 )
9	SSPTX1	O	表 5-9 を参照 ( CPU: SSPTX1 )
10	SFRM1	O	表 5-9 を参照 ( CPU:SFRM1 )
11	SCLK1	O	表 5-9 を参照 ( CPU:SCLK1 )
12	GND	Power	電源 ( GND )

CON8 のピンに割り当てられる機能は、EP9315 のレジスタ設定によって切り替えることができます。「Normal Mode」, 「I2S on AC97 Mode」, 「I2S on SSP Mode」の 3 つモードがあり、0x8093 0080 番地の DeviceCfg Register の「bit6:I2S on AC97」, 「bit7:I2S on SSP」を書き換えることでモード変更をすることができます。

表 5-9 各モードにおけるピンの機能

ピン名	Normal Mode	I2S on AC97 Mode	I2S on SSP Mode
SSPRX1	SPI Serial Input	I2S Serial Input	SPI Serial Input
SSPTX1	SPI Serial Output	I2S Serial Output	SPI Serial Output
SFRM1	SPI Frame Clock	I2S Frame Clock	SPI Frame Clock
SCLK1	SPI Bit Clock	I2S Serial Clock	SPI Bit Clock
ASDI	AC97 Serial Input	AC97 Serial Input	I2S Serial Input
ASDO	AC97 Serial Output	AC97 Serial Output	I2S Serial Output
ASYNC	AC97 Frame Clock	AC97 Frame Clock	I2S Frame Clock
ABITCLK	AC97 Bit Clock	AC97 Bit Clock	I2S Serial Clock
ARST*	AC97 Reset	AC97 Reset	I2S Master Clock



## 5.10. CON9 (IDE インターフェース)

CON9 は IDE のデバイスを接続するための 2mm ピッチ 44 ピンコネクタです。2.5 インチのハードディスクドライブとストレートのフラットケーブルで接続することができます。転送モードは PIO モードの他に ATA33 に対応しています。以下にピン配列を示します。

表 5-10 CON9 信号配列

番号	信号名	I/O	機能
1	RESET*	O	リセット信号
2	GND	Power	電源 (GND)
3	DD7	I/O	データバス(bit7)
4	DD8	I/O	データバス(bit8)
5	DD6	I/O	データバス(bit6)
6	DD9	I/O	データバス(bit9)
7	DD5	I/O	データバス(bit5)
8	DD10	I/O	データバス(bit10)
9	DD4	I/O	データバス(bit4)
10	DD11	I/O	データバス(bit11)
11	DD3	I/O	データバス(bit3)
12	DD12	I/O	データバス(bit12)
13	DD2	I/O	データバス(bit2)
14	DD13	I/O	データバス(bit13)
15	DD1	I/O	データバス(bit1)
16	DD14	I/O	データバス(bit14)
17	DD0	I/O	データバス(bit0)
18	DD15	I/O	データバス(bit15)
19	GND	Power	電源 (GND)
20	NC	-	非サポート
21	DMARQ	I	DMA リクエスト
22	GND	Power	電源 (GND)
23	DIOW*	O	I/O ライト・イネーブル
24	GND	Power	電源 (GND)
25	DIOR*	O	I/O リード・イネーブル
26	GND	Power	電源 (GND)
27	IORDY	I	IO レディ
28	CSEL	O	ケーブルセレクト (GND)
29	DMACK*	O	DMA アクノリッジ
30	GND	Power	電源 (GND)
31	INTRQ	I	割り込みリクエスト
32	NC	-	非サポート
33	DA1	O	アドレスバス (bit1)
34	NC	-	非サポート
35	DA0	O	アドレスバス (bit0)
36	DA2	O	アドレスバス (bit2)
37	CS0*	O	チップセレクト 0
38	CS1*	O	チップセレクト 1
39	DASP*	I	デバイスアクセス
40	GND	Power	電源 (GND)
41	+5V	Power	電源 (+5V)
42	+5V	Power	電源 (+5V)
43	GND	Power	電源 (GND)
44	NC	-	非サポート

## 5.11. CON10 ( Compact Flash )

CON10 は Compact Flash のインターフェースです。I/O モード、メモリモードに対応しており、ATA デバイスや I/O カードを接続することができます。

- 接続モード：I/O モード、メモリモード
- 対応形状：Type I, Type II
- 3.3V カード専用、活線挿抜（ホットプラグ）対応

表 5-11 CON10 信号配列

番号	信号名	I/O	機能
1	GND	Power	電源(GND)
2	D3	I/O	データバス(bit3)
3	D4	I/O	データバス(bit4)
4	D5	I/O	データバス(bit5)
5	D6	I/O	データバス(bit6)
6	D7	I/O	データバス(bit7)
7	CE1*	O	チップセレクト信号 1
8	A10	O	アドレスバス ( bit10 )
9	OE*	O	データアウトイネーブル
10	A9	O	アドレスバス(bit9)
11	A8	O	アドレスバス(bit8)
12	A7	O	アドレスバス(bit7)
13	+3.3V	Power	電源(+3.3V)
14	A6	O	アドレスバス(bit6)
15	A5	O	アドレスバス(bit5)
16	A4	O	アドレスバス(bit4)
17	A3	O	アドレスバス(bit3)
18	A2	O	アドレスバス(bit2)
19	A1	O	アドレスバス(bit1)
20	A0	O	アドレスバス(bit0)
21	D0	I/O	データバス(bit0)
22	D1	I/O	データバス(bit1)
23	D2	I/O	データバス(bit2)
24	IOCS16*	I	I/O 16bit
25	CD2*	I	カード検出
26	CD1*	I	カード検出
27	D11	I/O	データバス(bit11)
28	D12	I/O	データバス(bit12)
29	D13	I/O	データバス(bit13)
30	D14	I/O	データバス(bit14)
31	D15	I/O	データバス(bit15)
32	CE2*	O	チップセレクト信号 2
33	VS1*		
34	IORD*	O	I/O リード・イネーブル
35	IOWR*	O	I/O ライト・イネーブル
36	WE*	Power	電源(+3.3V)
37	INTRQ	I	割り込み要求
38	+3.3V	Power	電源(+3.3V)
39	NC	-	-

40	VS2*		
41	RESET*	O	リセット
42	WAIT*	I	レディ
43	-	-	
44	REG*	Power	電源(+3.3V)
45	BVD2	I	
46	BVD1	I	
47	D8	I/O	データバス(bit8)
48	D9	I/O	データバス(bit9)
49	D10	I/O	データバス(bit10)
50	GND	Power	電源(GND)

## 5.12. CON11 (LAN コネクタ)

CON11 は 10BASE-T/100BASE-TX の LAN インターフェースです。カテゴリ 5 以上の Ethernet ケーブルを接続することができます。通常はハブに対してストレートケーブルで接続しますが、クロスケーブルを使用して直接パソコン等の機器と接続することもできます。

表 5-12 CON11 信号配列

番号	信号名	I/O	機能
1	TX+	O	差動のツイストペア送信出力(+)
2	TX-	O	差動のツイストペア送信出力(-)
3	RX+	I	差動のツイストペア受信入力(+)
4	-	-	
5	-	-	
6	RX-	I	差動のツイストペア受信入力(-)
7	-	-	
8	-	-	

## 5.13. CON12 (VGA コネクタ)

CON12 は汎用のディスプレイを接続する為の VGA コネクタ (D-Sub15 ピン、3 列) です。汎用の CRT、液晶ディスプレイを接続することが出来ます。

表 5-13 CON12 信号配列

番号	信号名	I/O	機能
1	RED	O	アナログ 色信号 (赤)
2	GREEN	O	アナログ 色信号 (緑)
3	BLUE	O	アナログ 色信号 (青)
4	-	-	-
5	GND	Power	信号接地 (GND)
6	GND	Power	信号接地 (GND)
7	GND	Power	信号接地 (GND)
8	GND	Power	信号接地 (GND)
9	-	-	-
10	GND	Power	信号接地 (GND)
11	-	-	-
12	-	-	-
13	H_SYNC	O	水平同期信号
14	V_SYNC	O	垂直同期信号
15	-	-	-

表 5-14 解像度と水平周波数

解像度	色数	水平周波数 ( 垂直周波数 )
640 × 480	8 / 16bit	31.5kHz ( 60Hz )
800 × 600	8 / 16bit	37.9kHz ( 60Hz )
1024 × 768	8bit	48.4kHz ( 60Hz )

### 5.14. CON13 ( 電源入力コネクタ )

Armadillo-9 に供給する電源接続コネクタです。Armadillo-9 の動作に必要な最低限の電源は+5V-GND です。+12V は PC/104 の+12V 供給ピンにそのまま接続されます。

表 5-15 CON13 信号配列

番号	信号名	I/O	機 能
1	+5V	Power	電源(+5V)入力 PC/104 の+5V、 IDE の+5V ピンに供給されます
2	GND	Power	電源(GND)
3	GND	Power	電源(GND)
4	+12V	Power	電源(+12V)入力( ) PC/104 の+12V ピンに供給されます。

Armadillo-9 の動作には必要ありません。

### 5.15. CON14 ( 拡張電源入力 )

Armadillo-9 に供給する電源接続コネクタです。

表 5-16 CON14 信号配列

番号	信号名	I/O	機 能
1	GND	Power	電源(GND)
2	BAT	Power	RTC(S-353xxA)バックアップ用電源入力( )
3	GND	Power	電源(GND)
4	EXTIRQ*	I/O	JP3 をショートすることによって CPU(EP9315)の EXTIRQ の入りに接続可能。 JP4 をショートすることによって RTC(S-353xxA)の INT 出力に接続可能。
5	GND	Power	電源(GND)
6	-5V	Power	電源(-5V)入力( ) PC/104 の-5V ピンに供給
7	GND	Power	電源(GND)
8	-12V	Power	電源(-12V)入力( ) PC/104 の-12V ピンに供給

Armadillo-9 の動作には必要ありません。

## 5.16. J1, J2 ( PC/104 準拠拡張バス )

J1, J2 は PC/104 準拠のバス配列を採用した拡張バスです。64kB の I/O エリアと 16MB のメモリエリアを持っています。しかし ARM アーキテクチャは x86 系 CPU のような I/O エリア(I/O 専用のアクセス)を持たないため、通常のメモリ空間に I/O エリアを配置しています。

また、この拡張バスは PC/104 規格のサブセットです。通常の PC/104 バスとの主な違いは次の通りです。

- ダイナミックバスサイジングを非サポート
- DMA( DREQ / DACK )を非サポート
- 外部マスタを非サポート
- バスアクセスサイクルが固定

表 5-17 J1 信号配列(1)

番号	信号名	I/O	機能
A1	IOCHCHK*	(I)	非サポート
A2	D7	I/O	データバス(bit7)
A3	D6	I/O	データバス(bit6)
A4	D5	I/O	データバス(bit5)
A5	D4	I/O	データバス(bit4)
A6	D3	I/O	データバス(bit3)
A7	D2	I/O	データバス(bit2)
A8	D1	I/O	データバス(bit1)
A9	D0	I/O	データバス(bit0)
A10	IOCHRDY*	I	低速デバイスに合わせてアクセスサイクル延長
A11	AEN	O	バス開放(GND)
A12	A19	O	アドレスバス(bit19)
A13	A18	O	アドレスバス(bit18)
A14	A17	O	アドレスバス(bit17)
A15	A16	O	アドレスバス(bit16)
A16	A15	O	アドレスバス(bit15)
A17	A14	O	アドレスバス(bit14)
A18	A13	O	アドレスバス(bit13)
A19	A12	O	アドレスバス(bit12)
A20	A11	O	アドレスバス(bit11)
A21	A10	O	アドレスバス(bit10)
A22	A9	O	アドレスバス(bit9)
A23	A8	O	アドレスバス(bit8)
A24	A7	O	アドレスバス(bit7)
A25	A6	O	アドレスバス(bit6)
A26	A5	O	アドレスバス(bit5)
A27	A4	O	アドレスバス(bit4)
A28	A3	O	アドレスバス(bit3)
A29	A2	O	アドレスバス(bit2)
A30	A1	O	アドレスバス(bit1)
A31	A0	O	アドレスバス(bit0)
A32	GND	Power	電源(GND)

表 5-18 J1 信号配列(2)

番号	信号名	I/O	機能
B1	GND	Power	電源(GND)
B2	RESET_DRV	O	リセット出力
B3	+5V	Power	電源(+5V)
B4	IRQ9	I	割り込み 9
B5	-5V	Power	電源( - 5V)
B6	DQR2	(I)	非サポート
B7	-12V	Power	電源( - 5V)
B8	ENDXFR*	(I)	非サポート(5V プルアップ)
B9	+12V	Power	電源(+12V)
B10	(KEY)	-	GND
B11	SMEMW*	O	メモリ・ライト・ストロープ
B12	SMEMR*	O	メモリ・リード・ストロープ
B13	IOW*	O	I/O ライト・ストロープ
B14	IOR*	O	I/O リード・ストロープ
B15	DACK3*	(O)	非サポート(3.3V プルアップ)
B16	DRQ3	(I)	非サポート
B17	DACK1*	(O)	非サポート(3.3V プルアップ)
B18	DRQ1	(I)	非サポート
B19	REFRESH*	(O)	非サポート(3.3V プルアップ)
B20	SYSCLK	O	8.333MHz(CPU バスクロックの 1/12)
B21	IRQ7	I	割り込みリクエスト 7
B22	IRQ6	I	割り込みリクエスト 6
B23	IRQ5	I	割り込みリクエスト 5
B24	IRQ4	I	割り込みリクエスト 4
B25	IRQ3	I	割り込みリクエスト 3
B26	DACK2*	(O)	非サポート(3.3V プルアップ)
B27	T/C	(O)	非サポート(3.3V プルアップ)
B28	BALE	O	アドレス・ラッチ・イネーブル
B29	+5V	Power	電源(+5V)
B30	OSC	(O)	非サポート(OPEN)
B31	GND	Power	電源(GND)
B32	GND	Power	電源(GND)

表 5-19 J2 信号配列(1)

番号	信号名	I/O	機能
C0	GND	Power	電源(GND)
C1	SBHE*	O	バス・ハイ・イネーブル(データバス上位 8bit 使用時にアクティブ)
C2	A23	O	アドレスバス(23bit)
C3	A22	O	アドレスバス(22bit)
C4	A21	O	アドレスバス(21bit)
C5	A20	O	アドレスバス(20bit)
C6	A19	O	アドレスバス(19bit)
C7	A18	O	アドレスバス(18bit)
C8	A17	O	アドレスバス(17bit)
C9	MEMR*	O	メモリ・リード・ストロープ
C10	MEMW*	O	メモリ・ライト・ストロープ
C11	D8	I/O	データバス(bit8)
C12	D9	I/O	データバス(bit9)
C13	D10	I/O	データバス(bit10)
C14	D11	I/O	データバス(bit11)
C15	D12	I/O	データバス(bit12)
C16	D13	I/O	データバス(bit13)
C17	D14	I/O	データバス(bit14)
C18	D15	I/O	データバス(bit15)
C19	(KEY)	-	GND

表 5-20 J2 信号配列(2)

番号	信号名	I/O	機能
D0	GND	Power	電源(GND)
D1	MEMCS16*	(I)	非サポート(5V プルアップ)
D2	IOCS16*	(I)	非サポート(5V プルアップ)
D3	IRQ10	I	割り込みリクエスト 10
D4	IRQ11	I	割り込みリクエスト 11
D5	IRQ12	I	割り込みリクエスト 12
D6	IRQ15	I	割り込みリクエスト 15
D7	IRQ14	I	割り込みリクエスト 14
D8	DACK0*	(O)	非サポート(3.3V プルアップ)
D9	DREQ0	(I)	非サポート
D10	DACK5*	(O)	非サポート(3.3V プルアップ)
D11	DREQ5	(I)	非サポート
D12	DACK6*	(O)	非サポート(3.3V プルアップ)
D13	DREQ6	(I)	非サポート
D14	DACK7*	(O)	非サポート(3.3V プルアップ)
D15	DREQ7	(I)	非サポート
D16	+5V	Power	電源(+5V)
D17	MASTER*	(I)	非サポート(5V プルアップ)
D18	GND	Power	電源(GND)
D19	GND	Power	電源(GND)

## 5.16.1. PC/104 拡張バスアクセス時の注意事項

Armadillo-9 の PC/104 拡張バスはダイナミックバスサイジング機能を備えていないため、PC/104 の I/O エリアまたはメモリエリアにアクセスするには注意が必要です。

Armadillo-9 は 1 つの I/O 実エリア(64kB)とメモリ実エリア(16MB)を持っています。I/O、メモリのそれぞれの実エリアには 2 つの仮想エリア(8bit, 16bit)からアクセスすることができます。どちらの仮想エリアを使っても同じ実エリアをアクセスすることになります。

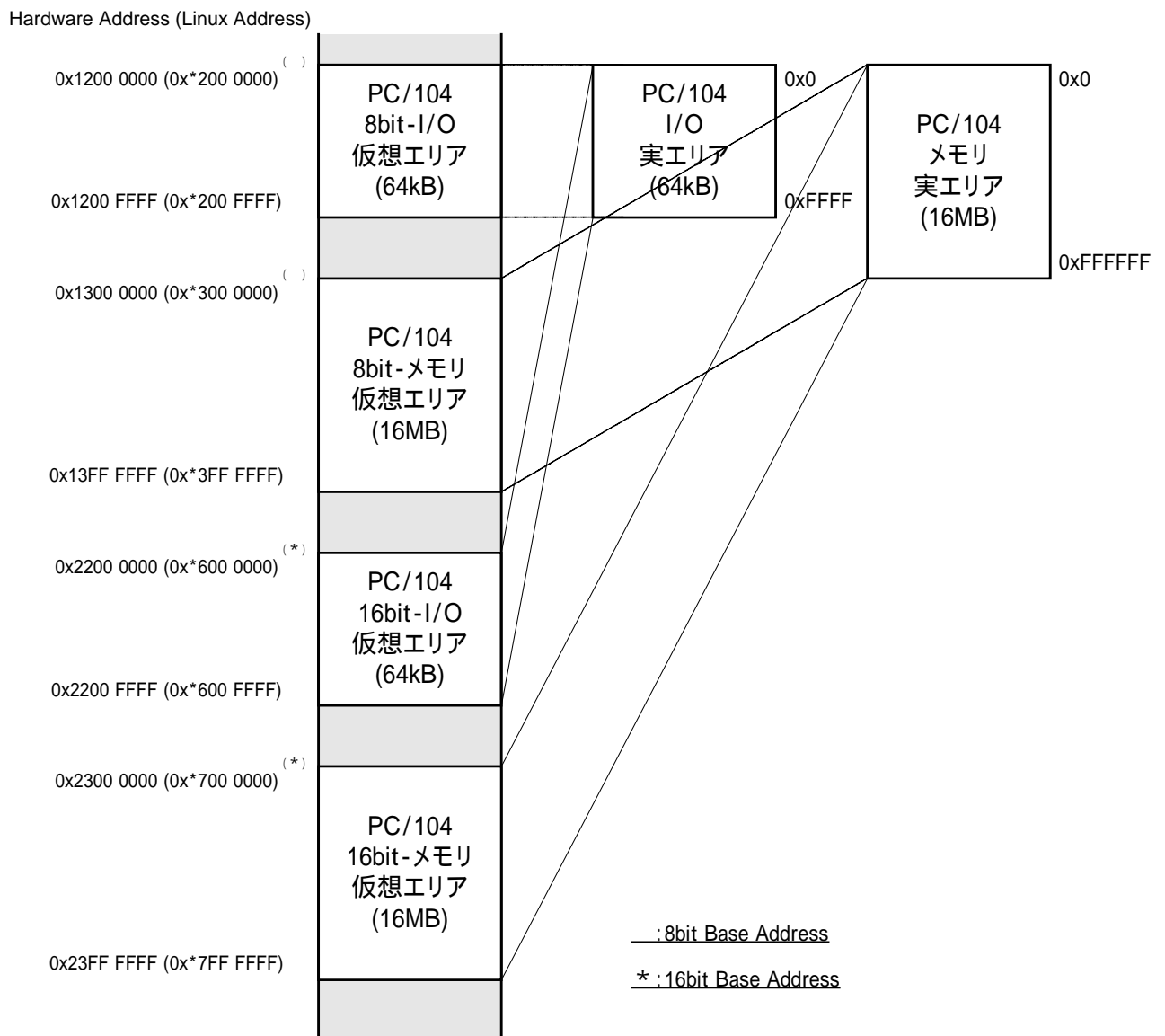


図 5-2 PC/104 バスのメモリ空間



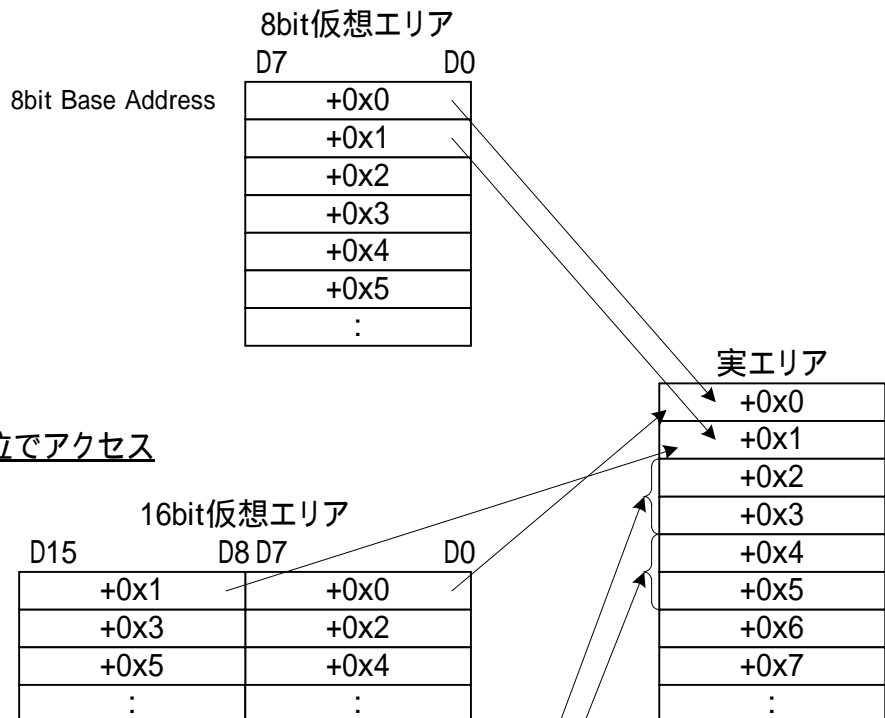
それぞれの仮想エリアの使い分けは次のとおりです。

8bit 仮想エリア	・ データバス(D7~D0)を使用して 8bit アクセスをする。
16bit 仮想エリア	・ データバス(D15~D8)を使用して奇数アドレス番地に 8bit アクセスする。 ・ データバス(D7~D0)を使用して偶数アドレス番地に 8bit アクセスする。 ・ データバス(D15~D0)を使用して 16bit アクセスする。

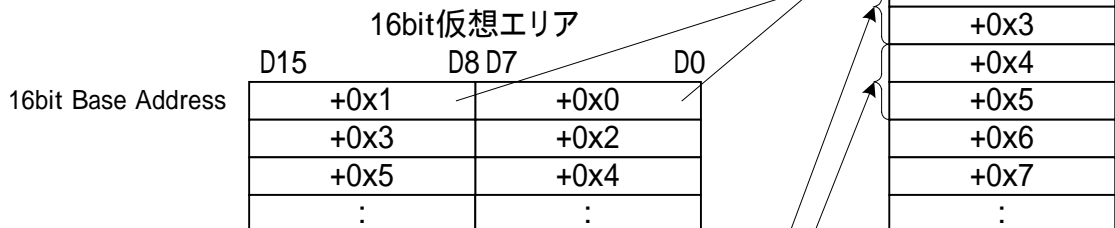
実エリアのアクセスには

8(16)bit Base Address + 実エリアの offset Address  
でアクセスすることができます。

8bit実エリアにアクセス



16bit実エリアに8bit単位でアクセス



16bit実エリアに16bit単位でアクセス

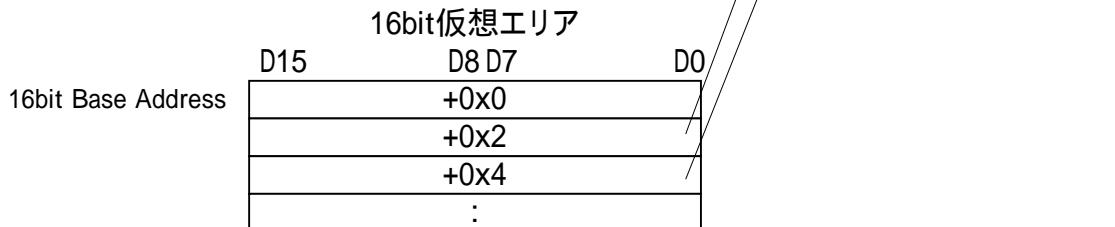


図 5-3 PC/104 バスへのアクセス方法

5.16.2. アクセスタイミング

PC/104 拡張バスへのアクセスタイミングは次の通りです。16bit アクセスした場合も 8bit アクセスした場合もタイミングは同じです。

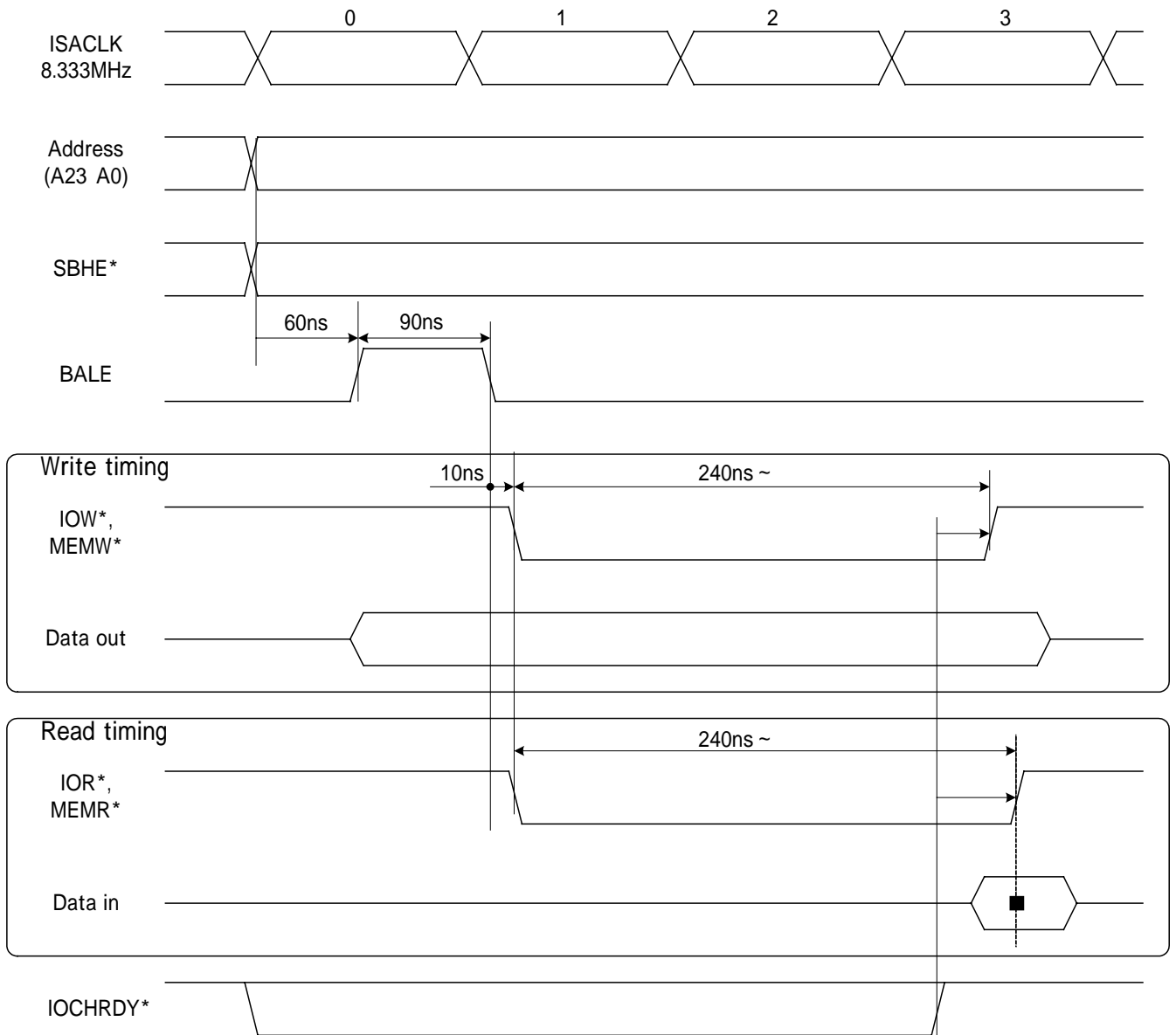


図 5-4 PC/104 バスアクセスタイミング

### 5.17. LED (D4)

LED(D4)は IDE のアクセスランプです

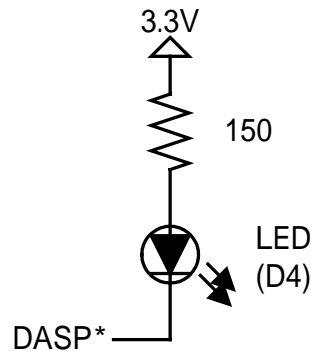


図 5-5 LED(D4)の接続

### 5.18. LED (D5, D6)

LED(D5,6)は LAN の状態を表しています。

表 5-21 LED(D5,D6) の状態

記号	名称	点 灯	消 灯
D5	LINK	LAN ケーブルが接続されており、10BASE-T または 100BASE-TX のリンクが確立されている。	LAN ケーブルが接続されていないか、接続している相手の状態が Active な状態ではない。
D6	LAN	データ送受信時	非データ送受信時

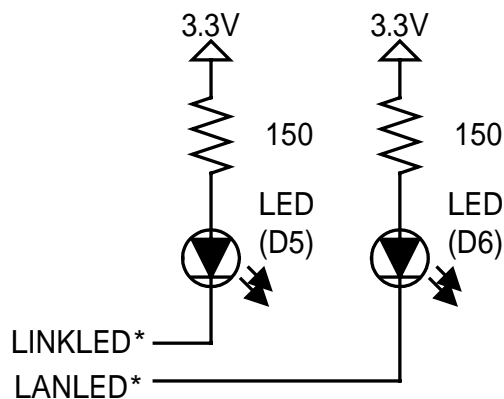


図 5-6 LED(D5,6)の接続

### 5.19. LED (D14)

LED(D14)は Armadillo-9 の電源状態を表しています。

表 5-22 LED(D14) の状態

記号	名称	点 灯	消 灯
D14	Power	Armadillo-9 の電源が入っている。	Armadillo-9 の電源が入っていない。

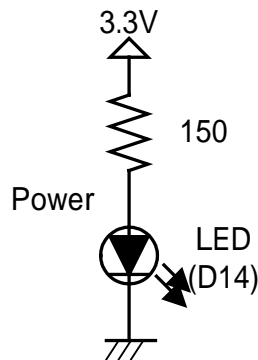


図 5-7 LED(D14)の接続

### 5.20. JP1 ~ 2

JP1,2 は Armadillo-9 の起動モードの設定を行います。

#### 5.20.1. JP1 (ブート ROM の選択)

ブートする際に使用するデバイスを、「オンボード Flash メモリ」または「オンチップブート ROM」から選択することができます。オンチップブート ROM はシリアル (COM1) からプログラムをダウンロードしてから実行し、オンボード Flash メモリを書き換えるとき等に使用します。オンチップブート ROM の詳細については、「EP9315 User's Guide」をご参照下さい。

#### 5.20.2. JP2 (ブート Linux の選択)

Linux カーネルが格納されているデバイスを選択することができます。ただしこの JP の設定は Linux を搭載しているときのみ有効です。

表 5-23 ジャンパの設定と動作

JP1	JP2	ブートデバイス	ブートカーネル
OFF	OFF	オンボード Flash メモリ	オンボード Flash メモリの Linux カーネル
OFF	ON	オンボード Flash メモリ	(1)IDE デバイスが搭載されている場合 IDE デバイスの Linux カーネルがブート (2)Compact Flash が搭載されている場合 Compact Flash の Linux カーネルがブート (3)IDE デバイスも CompactFlash も搭載されていない場合 ブートローダ「Hermit」がブート (4)IDE デバイスにも CompactFlash にも Linux カーネルを見つけれない場合 ブートローダ「Hermit」がブート
ON	-	オンチップブート ROM	オンチップブート ROM のプログラムがブート

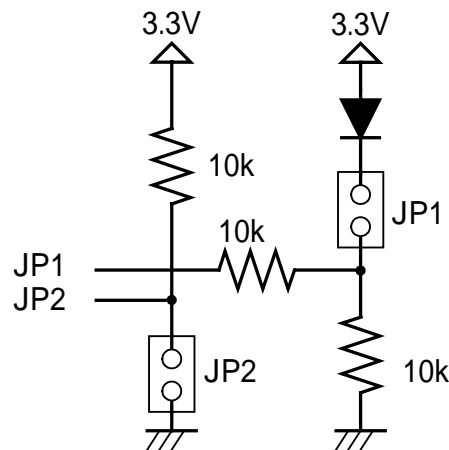


図 5-8 ジャンパコネクタ

### 5.21. コネクタ型式

CON1~14、J1~2 の型式等を表 5-24 に示します。

表 5-24 コネクタ型式の一覧

コネクタ	メーカー	型 式	備 考
CON1	ヒロセ電機	HIF3F-10PA-2.54DS	
CON2	-	2 × 10 (2.54mm ピッチ)	(非搭載)
CON3	日本圧着端子	UBA- 4 R-S10-2	面実装品
CON4	-	2 × 10 (2.54mm ピッチ)	(非搭載)
CON5	-	2 × 2 (2.54mm ピッチ)	(非搭載)
CON6	-	2 × 7 (2.54mm ピッチ)	(非搭載)
CON7	-	1 × 6 (2.54mm ピッチ)	(非搭載)
CON8	-	1 × 12 (2.54mm ピッチ)	(非搭載)
CON9	ヒロセ電機	A3A-44PA-2SV	IDE (2.0mm ピッチ 44 ピン)
CON10	DDK	MCD-CEN750PC	Compact Flash (Type I, II)
CON11	FRE	E5388-F00214	RJ-45 コネクタ
CON12	日本圧着端子	KSEY-15S-3B6L19-13	VGA 面実装コネクタ
CON13	AMP	171826-4	電源コネクタ
CON14	-	1 × 8 (2.54mm ピッチ)	(非搭載)
J1	Astron	AT-ES1-64-12-2GF	PC/104 J1 スタックスルー (非搭載)
J2	Astron	AT-ES1-20-12-1GF (2 個)	PC/104 J2 スタックスルー (非搭載)

### 5.22. LED 型式(参考)

Armadillo-9 に接続できる LED の型式等の例を表 5-25 に示します。

表 5-25 LED 型式の例

コネクタ	メーカー	型 式	備 考
D4	東芝	TLR123 等	Red
D1, 2	Dialight	553-0212-200 等	Red / Green
D14	東芝	TLG123A 等	Green

## 6. その他の各種機能

### 6.1. CPLD 内部レジスタ(I/O Control Register)

#### 6.1.1. I/O Control レジスタのメモリマップ

Armadillo-9 の CPLD には PC/104 の I/O を制御するための I/O Control レジスタがあります。I/O Control レジスタのメモリマップは次の通りです。

表 6-1 I/O Control レジスタのメモリマップ

Hardware Address	Linux Address	Read	Write
0x1000 0000	0xF000 0000	Interrupt Service Register0	Interrupt Clear Register0
0x1000 0001	0xF000 0001	(Reserved)	(Reserved)
0x1000 0002	0xF000 0002	Interrupt Service Register1	Interrupt Clear Register1
0x1000 0003	0xF000 0003	(Reserved)	(Reserved)
0x1000 0004	0xF000 0004	Interrupt Service Register2	Interrupt Clear Register2
0x1000 0005	0xF000 0005	(Reserved)	(Reserved)
0x1000 0006	0xF000 0006	(Reserved)	(Reserved)
0x1000 0007	0xF000 0007	(Reserved)	(Reserved)
0x1000 0008	0xF000 0008	(Reserved)	Interrupt Mask Register0
0x1000 0009	0xF000 0009	(Reserved)	(Reserved)
0x1000 000A	0xF000 000A	(Reserved)	Interrupt Mask Register1
0x1000 000B	0xF000 000B	(Reserved)	(Reserved)
0x1000 000C	0xF000 000C	(Reserved)	Interrupt Mask Register2
0x1000 000D	0xF000 000D	(Reserved)	(Reserved)
0x1000 000E	0xF000 000E	(Reserved)	ISA mode Control Register
0x1000 000F	0xF000 000F	(Reserved)	(Reserved)

- Interrupt Service Register (割り込みサービスレジスタ)  
入ってきた割り込みの要因を見るレジスタです。
- Interrupt Clear Register (割り込み要因クリアレジスタ)  
割り込みサービスレジスタに入ってきた割り込み要因をクリアするレジスタです。
- Interrupt Mask Register (割り込みマスクレジスタ)  
各種割り込みの入力を禁止(マスク)するレジスタです。
- ISA mode Control Register  
PC/104(ISA)の転送モードを設定するレジスタです。

6.1.2. 各種 I/O Control レジスタの詳細  
 各種 I/O Control レジスタの詳細は次のとおりです。

表 6-2 各種 I/O Control レジスタの詳細

Register name	Hardware Address	Linux Address	Data							
			7	6	5	4	3	2	1	0
Read Only										
Interrupt Service Register0	0x1000 0000	0xF000 0000	-	-	-	-	-	IRQ15	IRQ14	IRQ12
Interrupt Service Register1	0x1000 0002	0xF000 0002	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Service Register2	0x1000 0004	0xF000 0004	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
Write Only										
Interrupt Clear Register0	0x1000 0000	0xF000 0000	-	-	-	-	-	IRQ15	IDE	IRQ12
Interrupt Clear Register1	0x1000 0002	0xF000 0002	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Clear Register2	0x1000 0004	0xF000 0004	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
Interrupt Mask Register0	0x1000 0008	0xF000 0008	-	-	-	-	-	IRQ15	IDE	IRQ12
Interrupt Mask Register1	0x1000 000A	0xF000 000A	-	-	-	-	IRQ11	IRQ10	IRQ9	IRQ7
Interrupt Mask Register2	0x1000 000C	0xF000 000C	-	-	-	-	IRQ6	IRQ5	IRQ4	IRQ3
ISA mode Control Register	0x1000 000E	0xF000 000E	-	-	-	-	-	ISA reset	ISA mode	-

表 6-3 各種 I/O Control レジスタの各ビットの意味

Register name	Value	Description	
Interrupt Service Register	1	IRQ <sub>x</sub> 割込みが発生している	
	0	IRQ <sub>x</sub> 割込みが発生していない	
Interrupt Clear Register	1	IRQ <sub>x</sub> 割込みの要因をクリアする	
	0	IRQ <sub>x</sub> 割込みの要因をクリアしない	
Interrupt Mask Register	1	IRQ <sub>x</sub> 割込みの入力をマスクする	
	0	IRQ <sub>x</sub> 割込みの入力をマスクしない	
ISA mode Control Register	ISA mode	1	高速(ISA 非互換)モード このモードを設定したときの動作は保証されておりません。
		0	ISA 互換モード
	ISA reset	1	PC/104 Bus の RESET 信号を ON( H )
		0	PC/104 Bus の RESET 信号を OFF( L )

6.1.3. PC/104 の割り込みコントローラの仕組み

PC/104 の割り込みコントローラは CPLD(XCR3064)に組み込まれています。この割り込みコントローラに接続されている割り込みの種類は IRQ3, 4, 5, 6, 7, 9, 10,11,12, 14, 15 です。割り込みコントローラの概念図は次のとおりです。

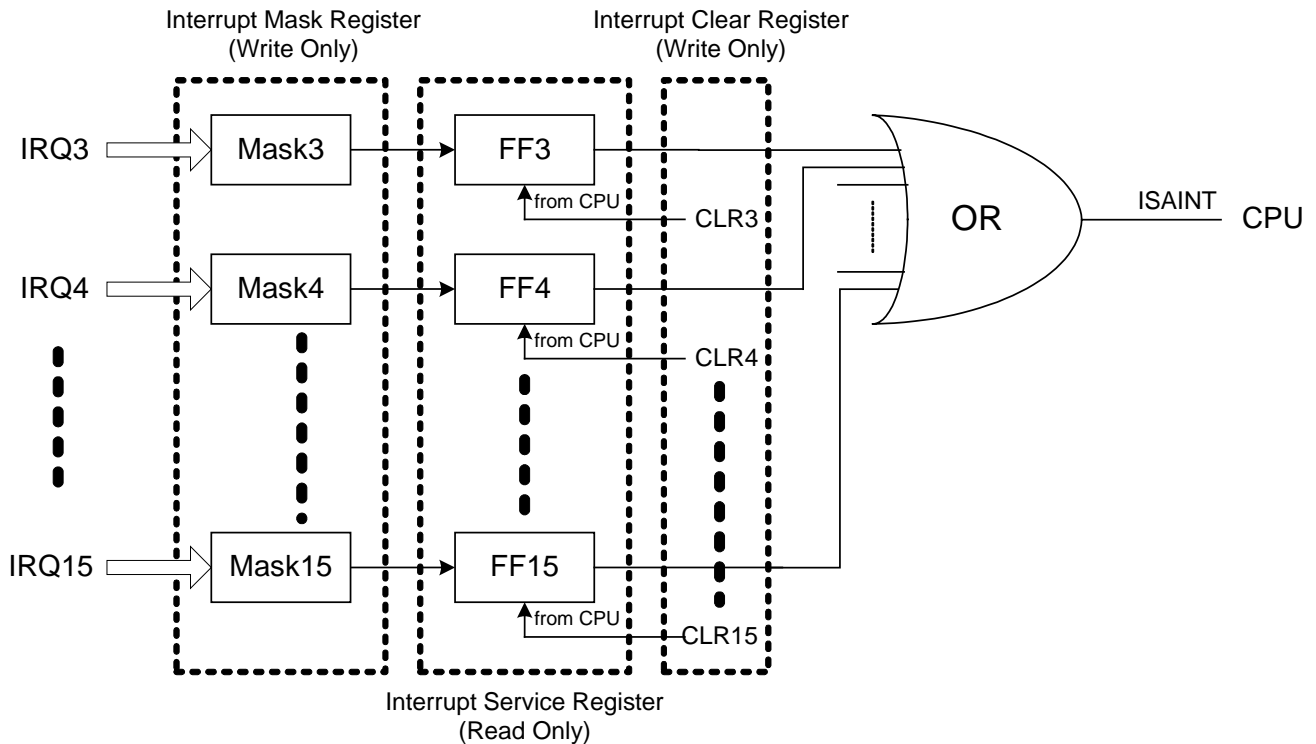


図 6-1 PC/104 の割り込みコントローラの仕組み

PC/104 から入力される IRQx は IMR(Interrupt Mask Register)によりマスク処理されます。マスクビットが”0”の場合、割り込み入力はそのまます過し、”1”の場合割り込み入力はマスクされます。

マスク処理を通過した割り込み入力信号は次段の ISR(Interrupt Service Register)を構成している FF(フリップフロップ)で値を保持されます。

ISR に保持されている値は、ICR(Interrupt Clear Register)の対応するビットに”1”が入力されるまで値が保持されます。

ISR に保持されているすべての値の OR をとって、CPU に割り込みが通知されます。



## 6.2. 外部割込みについて

ボード外部から CON14 を通して CPU(EP9315)の外部割込み端子への接続することができます。JP3 をショートすることによって、CON14 の 4 番ピンと CPU( EP9315 )を接続することができます。または JP4 をショートすることによって、IC5(S-353xxA)の割込み出力をボード外部に出力することが可能です。工場出荷状態では、JP3,4 はオープンになっています。CPU の入力信号も、IC5 の出力信号も CMOS3.3V の電圧レベルです。

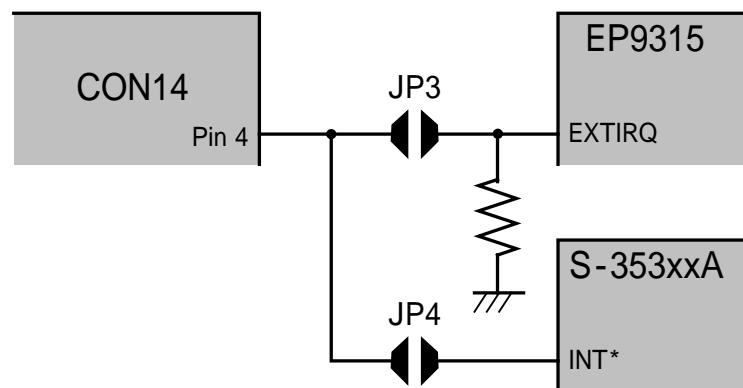


図 6-2 EXTIRQ の接続

## 6.3.LED (D1)

LED(D1)は CPU(EP9315)の PE0/GRLED ピンに接続された LED です。内蔵 ROM 起動時にステータス LED として機能した後、EP9315 の GPIO Port E を設定することにより、LED(D1)を制御することができます。

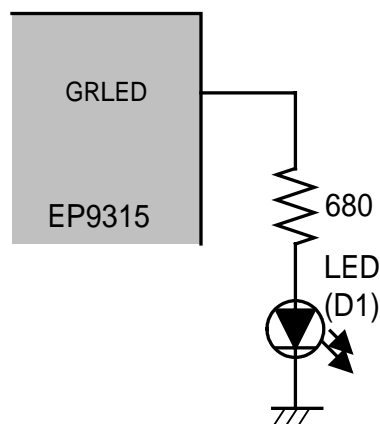


図 6-3 LED(D1)の接続

### 6.4. カレンダー時計(Real Time Clock)

カレンダー時計(Real Time Clock: S-3531A またはその互換品)は CPU(EP9315)と 2 線式シリアル (GPIO) で接続されています。CPU 側はパラレルポート B(PB4,5 : EGPIO12,EGPIO13)をシリアルのように制御することにより、RTC へのアクセスを実現しています。

RTC はポリアセンキャパシタ(PAS)のバックアップにより電源切断時も一定時間の間動作することができます。長時間電源を切っている間も、RTC の内容を保持したい場合は、別途外付けのバッテリーを接続することができます。

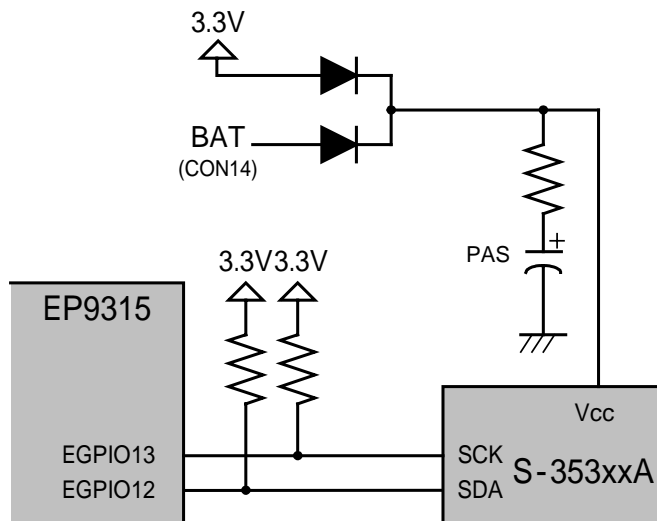


図 6-4 CPU(EP9315)と RTC の接続

### 6.5. 電源回路の構成

Armadillo-9 内の電源回路の構成は図 6-5 の通りです。各制限の電流容量を超えないように、外部機器の接続、供給電源の設計を行ってください。

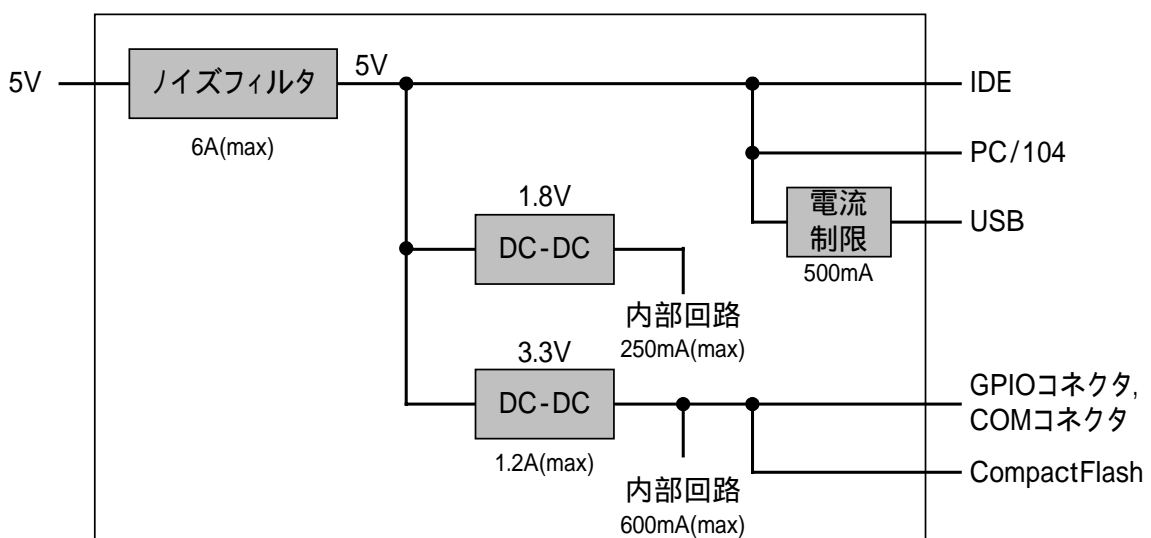
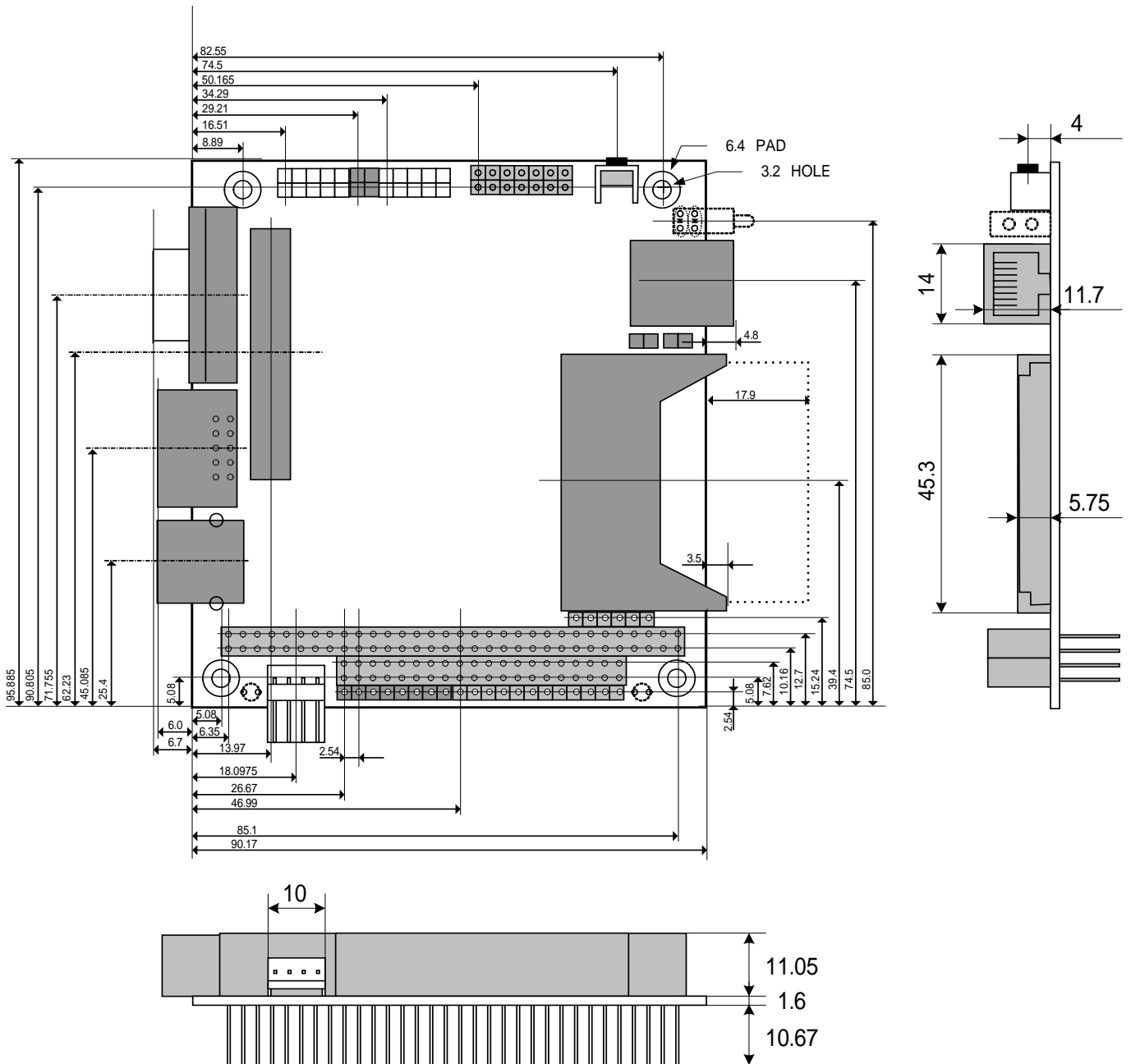


図 6-5 Armadillo-9 の電源回路構成

# 7. 基板形状図

Armadillo-9 の基板形状図を図 7-1 に示します。



[ 単位 : mm ]

図 7-1 Armadillo-9 の基板形状

## 8. 更新履歴

### 改訂履歴

Ver.	年月日	改訂内容
1.00	2004.12.18	・初版発行
1.01	2005. 2.10	・表 3-1 の GPIO の数を修正 ・表 4-1 の SDRAM のメモリマップを修正 ・6.2 項 外部割込みについての記述を修正 ・ドキュメント内の誤植を修正

