

# Armadillo-500 ハードウェアマニュアル

Version 1.2.3  
2011/10/24

株式会社アットマークテクノ [<http://www.atmark-techno.com>]

Armadillo サイト [<http://armadillo.atmark-techno.com>]

---

# Armadillo-500 ハードウェアマニュアル

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル  
TEL 011-207-6550 FAX 011-207-6570

製作著作 © 2007-2011 Atmark Techno, Inc.

Version 1.2.3  
2011/10/24

---

# 目次

- 1. はじめに ..... 6
  - 1.1. 本書および関連ファイルのバージョンについて ..... 6
  - 1.2. 本書の構成 ..... 6
- 2. 注意事項 ..... 7
  - 2.1. 安全に関する注意事項 ..... 7
  - 2.2. 取扱い上の注意事項 ..... 8
  - 2.3. ソフトウェア使用に関する注意事項 ..... 8
  - 2.4. 保証について ..... 8
  - 2.5. 輸出について ..... 8
  - 2.6. 商標について ..... 8
- 3. 概要 ..... 10
  - 3.1. ボード概要 ..... 10
  - 3.2. ブロック図 ..... 11
- 4. メモリマップ ..... 16
- 5. インターフェース仕様 ..... 18
  - 5.1. インターフェースの配置 ..... 18
  - 5.2. J1, J2 ..... 18
- 6. 推奨動作電圧 ..... 22
- 7. 基板形状図 ..... 24
- 8. 信号状態 ..... 25

## 目次

3.1. Armadillo-500 A5001 ブロック図 .....	11
3.2. Armadillo-500 A5027 ブロック図 .....	12
3.3. Armadillo-500 A5061/A5067 ブロック図 .....	13
3.4. i.MX31L 機能ブロック図 .....	14
3.5. i.MX31 機能ブロック図 .....	15
5.1. インターフェースの配置 .....	18
6.1. 電源シーケンス図 .....	23

## 表目次

3.1. Armadillo-500 CPU モジュール仕様 .....	10
4.1. Armadillo-500 A5001 物理メモリマップ .....	16
4.2. Armadillo-500 A5027/A5067 物理メモリマップ .....	16
5.1. インターフェースの内容 .....	18
5.2. J1 信号配列 .....	18
5.3. J2 信号配列 .....	20
6.1. 各電圧グループの推奨動作電圧 .....	22
8.1. 信号状態 .....	25

# 1. はじめに

---

## 1.1. 本書および関連ファイルのバージョンについて

本書を含めた関連マニュアル、ソースファイルやイメージファイルなどの関連ファイルは最新版を使用することをおすすめいたします。本書を読み進める前に、Armadillo サイト(<http://armadillo.atmark-techno.com>)から最新版の情報をご確認ください。

## 1.2. 本書の構成

本マニュアルは、Armadillo シリーズを使用する上で必要な情報のうち、以下の点について記載されています。

- ・ ハードウェア概要
- ・ メモリマップ
- ・ インターフェース仕様
- ・ 基板の形状
- ・ ケースの形状(Armadillo-2x0 のみ)
- ・ LCD パネル仕様(Armadillo-500 FX インターフェースボードのみ)

Armadillo シリーズの機能を最大限に引き出すために、ご活用いただければ幸いです。

## 2. 注意事項

### 2.1. 安全に関する注意事項

本製品を安全にご使用いただくために、特に以下の点にご注意ください。



- ・ ご使用の前に必ず製品マニュアルおよび関連資料をお読みにになり、使用上の注意を守って正しく安全にお使いください。
- ・ マニュアルに記載されていない操作・拡張などを行う場合は、弊社 Web サイトに掲載されている資料やその他技術情報を十分に理解した上で、お客様自身の責任で安全にお使いください。
- ・ 水・湿気・ほこり・油煙等の多い場所に設置しないでください。火災、故障、感電などの原因になる場合があります。
- ・ 本製品に搭載されている部品の一部は、発熱により高温になる場合があります。周囲温度や取扱いによってはやけどの原因となる恐れがあります。本体の電源が入っている間、または電源切断後本体の温度が下がるまでの間は、基板上の電子部品、及びその周辺部分には触れないでください。
- ・ 本製品を使用して、お客様の仕様による機器・システムを開発される場合は、製品マニュアルおよび関連資料、弊社 Web サイトで提供している技術情報のほか、関連するデバイスのデータシート等を熟読し、十分に理解した上で設計・開発を行ってください。また、信頼性および安全性を確保・維持するため、事前に十分な試験を実施してください。
- ・ 本製品は、機能・精度において極めて高い信頼性・安全性が必要とされる用途(医療機器、交通関連機器、燃焼制御、安全装置等)での使用を意図しておりません。これらの設備や機器またはシステム等に使用された場合において、人身事故、火災、損害等が発生した場合、当社はいかなる責任も負いかねます。
- ・ 本製品には、一般電子機器用(OA 機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用しています。外来ノイズやサージ等により誤作動や故障が発生する可能性があります。万一誤作動または故障などが発生した場合に備え、生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・ブレーカー等の保護回路の設置、装置の多重化等)に万全を期し、信頼性および安全性維持のための十分な措置を講じた上でお使いください。
- ・ 無線 LAN 機能を搭載した製品は、心臓ペースメーカーや補聴器などの医療機器、火災報知器や自動ドアなどの自動制御器、電子レンジ、高度な電子機器やテレビ・ラジオに近接する場所、移動体識別用の構

内無線局および特定小電力無線局の近くで使用しないでください。製品が発生する電波によりこれらの機器の誤作動を招く恐れがあります。

## 2.2. 取扱い上の注意事項

本製品に恒久的なダメージをあたえないよう、取扱い時には以下のような点にご注意ください。

- |              |  |
|--------------|--|
| 電源投入時のコネクタ着脱 | 本製品や周辺回路に電源が入っている状態で、Armadillo-500 の着脱は、絶対に行わないでください。  |
| 静電気          | 本製品には CMOS デバイスを使用していますので、ご使用になる時までには、帯電防止対策された出荷時のパッケージ等にて保管してください。   |
| ラッチアップ       | 電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等により、使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには、保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。 |
| 衝撃           | 落下や衝撃などの強い振動を与えないでください。  |

## 2.3. ソフトウェア使用に関する注意事項

- |                    |   |
|--------------------|---|
| 本製品に含まれるソフトウェアについて | 本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状有姿(AS IS)にて提供いたします。お客様ご自身の責任において、使用用途・目的の適合について、事前に十分な検討と試験を実施した上でお使いください。当社は、当該ソフトウェアが特定の目的に適合すること、ソフトウェアの信頼性および正確性、ソフトウェアを含む本製品の使用による結果について、お客様に対しなんら保証も行うものではありません。 |
|--------------------|---|

## 2.4. 保証について

本製品の本体基板は、製品に添付もしくは弊社 Web サイトに記載している「製品保証規定」に従い、ご購入から 1 年間の交換保証を行っています。添付品およびソフトウェアは保証対象外となりますのでご注意ください。

製品保証規定 <http://www.atmark-techno.com/support/warranty-policy>

## 2.5. 輸出について

本製品の開発・製造は、原則として日本国内での使用を想定して実施しています。本製品を輸出する際は、輸出者の責任において、輸出関連法令等を遵守し、必要な手続きを行ってください。海外の法令および規則への適合については当社はなんらの保証を行うものではありません。本製品および関連技術は、大量破壊兵器の開発目的、軍事利用その他軍用途の目的、その他国内外の法令および規則により製造・使用・販売・調達が禁止されている機器には使用することができません。

## 2.6. 商標について

- Armadillo は株式会社アットマークテクノの登録商標です。その他の記載の商品名および会社名は、各社・各団体の商標または登録商標です。™、®マークは省略しています。



- ・ SD、SDHC、microSD、microSDHC、SDIO ロゴは SD-3C、LLC の商標です。



# 3. 概要

## 3.1. ボード概要

Armadillo-500 は、Freescale 社製 i.MX31/i.MX31L と高速 DDR SDRAM、フラッシュメモリを高密度に実装した小型の CPU モジュールです。仕様を「表 3.1. Armadillo-500 CPU モジュール仕様」に示します。

表 3.1 Armadillo-500 CPU モジュール仕様

型番	A5001-U00-B		A5001-U00-C A5001-U00Z-C		A5027-U00-C A5027-U00Z-C		A5067-U00Z-D	
プロセッサ	名称	Freescale i.MX31L			Freescale i.MX31			
	シリコン リビジョン	Rev.1.2		Rev.2.0			Rev.2.0.1	
	マーキング	M45G		M91E				
	機能	<ul style="list-style-type: none"> <li>・ ARM1136JF-S</li> <li>・ 命令/データキャッシュ 16Kbyte/16Kbyte</li> <li>・ L2 キャッシュ 128Kbyte</li> <li>・ 内部 SRAM 16Kbyte</li> <li>・ ベクタ浮動小数点コプロセッサ(VFP)搭載</li> </ul>						
システム クロック	CPU コア	最高 400MHz					最高 532MHz	
	バス	133MHz						
水晶発振器 周波数	CKIL	32.768kHz						
	CKIH	26MHz						
RAM	種類	LPDDR SDRAM						
	容量	64Mbyte			128Mbyte			
	バス幅	32bit						
	型式	Micron 社製 MT46H16M16LFBF-75			Micron 社製 MT46H32M16LFCK-6			
フラッシュ メモリ	種類	NOR FLASH						
	容量	16Mbyte			32Mbyte			
	バス幅	16bit						
	型式	Intel 社製 PC28F128P30B85			Intel 社製 PC28F256P30B85 または PC28F256P30BF			
電源電圧	コア	DC1.35~1.55V [1] [2]		DC1.38~1.52V [1]			DC1.38~1.52V	
	コア最大電圧 絶対定格	DC1.65V						
	メモリ	DC1.8V						
	I/O	DC1.8~3.1V						
消費電力	Typ.	0.4W					0.5W	
	Max.	1.0W					1.2W	
使用温度 範囲	0~70°C							
基板サイズ	34 x 54 mm							
重量	約 10g							
基板間 コネクタ	FX10A-140S/14-SV(ヒロセ電機) [3]							

[1] 1.47V 以上のコア電圧で使用される場合は、累積稼動時間が 1.25 年(10950 時間)に制限されます。(例えば、5 年間運用するためには、1 日あたり平均 6 時間の稼動に制限されます。)

[2] i.MX31L 内蔵 USB コントローラを使用して High Speed モードに対応する場合はコア電圧を 1.55V で設計してください。この制限は CPU モジュール A5001-U00-B のみに適用されます。

[3]対応コネクタ型式:基板間高さ 4mm 用 FX10A-140P/14-SV(ヒロセ電機)、基板間高さ 5mm 用 FX10A-140P/14-SV1(ヒロセ電機)

### 3.2. ブロック図

Armadillo-500 A5001 のブロック図を「図 3.1. Armadillo-500 A5001 ブロック図」に、A5027 のブロック図を「図 3.2. Armadillo-500 A5027 ブロック図」に、A5061/A5067 のブロック図を「図 3.3. Armadillo-500 A5061/A5067 ブロック図」に示します。また、i.MX31L の機能ブロック図を「図 3.4. i.MX31L 機能ブロック図」に、i.MX31 の機能ブロック図を「図 3.5. i.MX31 機能ブロック図」に示します。

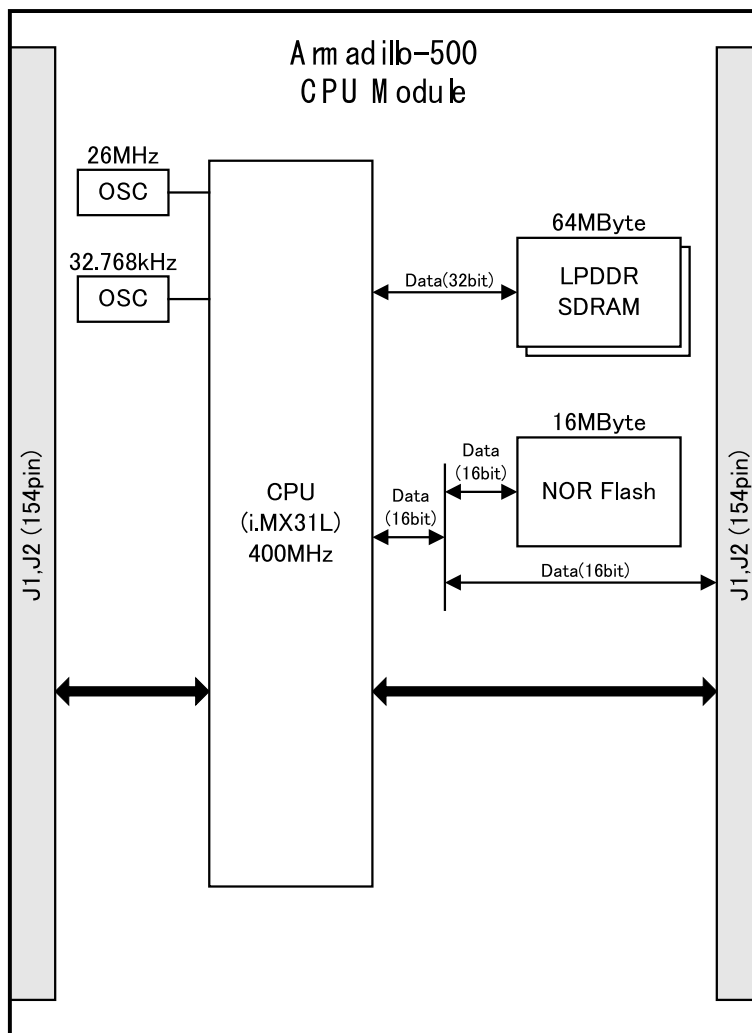


図 3.1 Armadillo-500 A5001 ブロック図

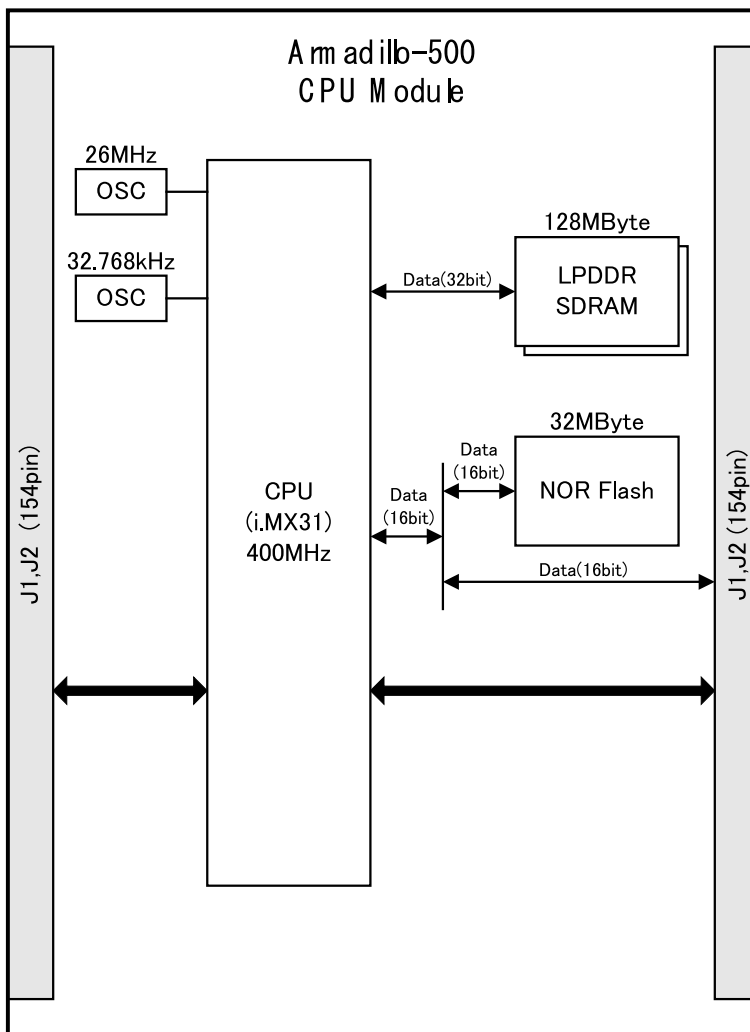


図 3.2 Armadillo-500 A5027 ブロック図

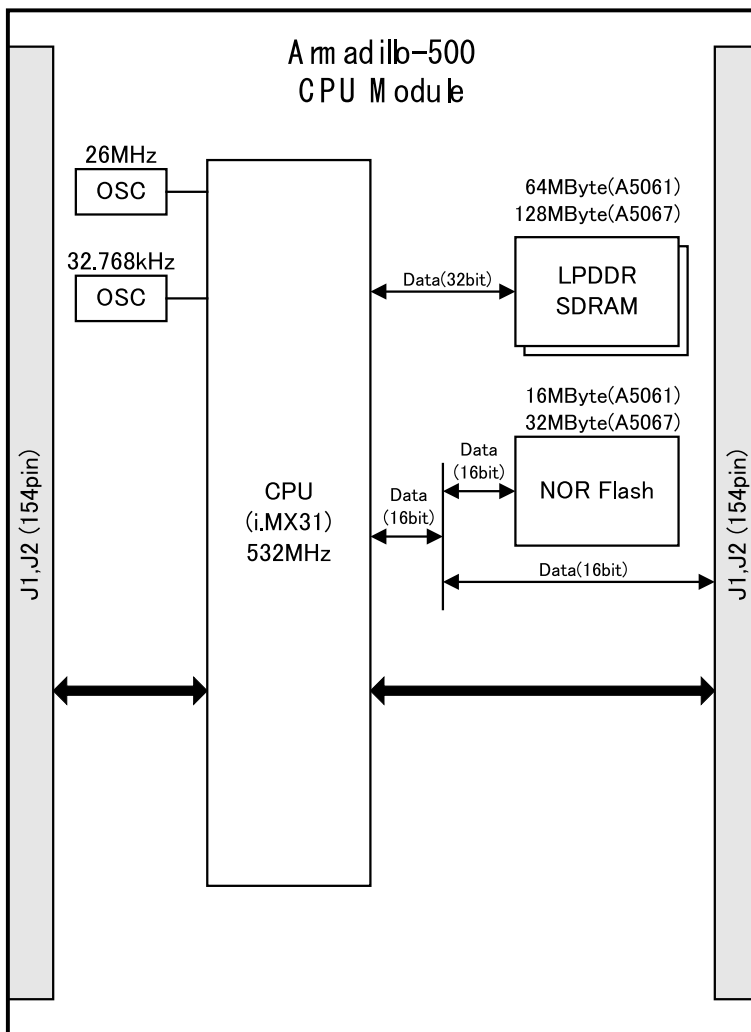


図 3.3 Armadillo-500 A5061/A5067 ブロック図

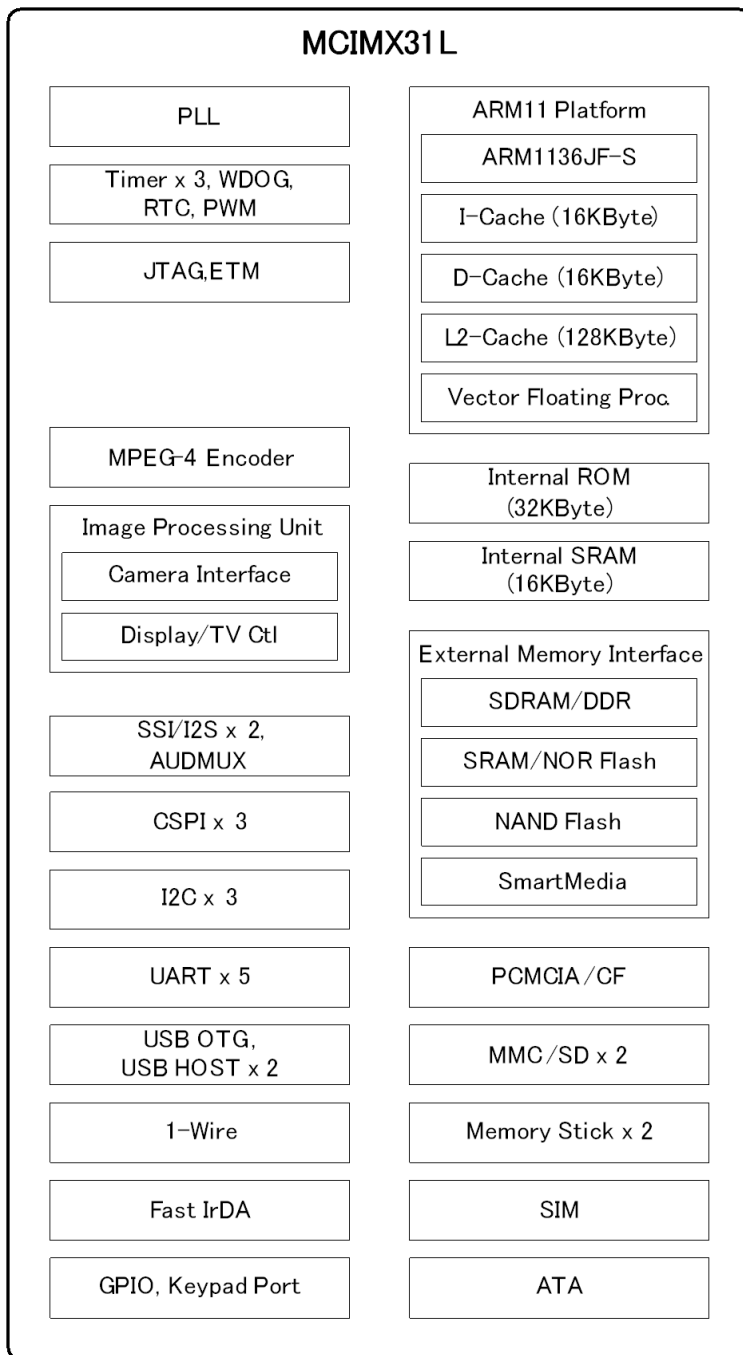


図 3.4 i.MX31L 機能ブロック図

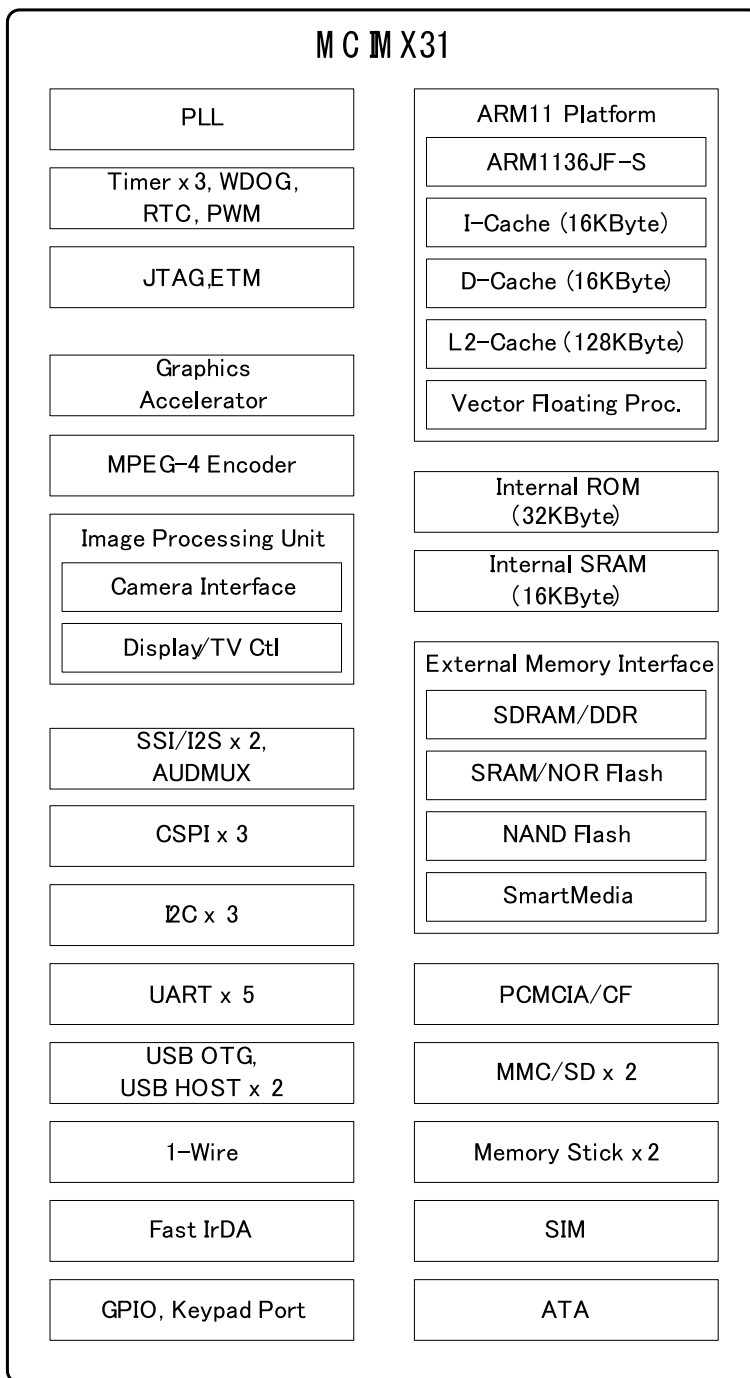


図 3.5 i.MX31 機能ブロック図

# 4. メモリマップ

Armadillo-500 A5001 の物理メモリマップを「表 4.1. Armadillo-500 A5001 物理メモリマップ」に、A5027/A5067 の物理メモリマップを「表 4.2. Armadillo-500 A5027/A5067 物理メモリマップ」に示します。

表 4.1 Armadillo-500 A5001 物理メモリマップ

Start Address	End Address	Device	Area
0x0000 0000	0x0000 3FFF	i.MX31 Secure ROM (16kB)	
0x0000 4000	0x0040 3FFF	Reserved	
0x0040 4000	0x0040 7FFF	i.MX31 Internal ROM (16kB)	
0x0040 8000	0x1FFF BFFF	Reserved	
0x1FFF C000	0x1FFF FFFF	i.MX31 Internal RAM (16kB)	
0x2000 0000	0x2FFF FFFF	Reserved	
0x3000 0000	0x7FFF FFFF	i.MX31 Internal Registers	
0x8000 0000	0x83FF FFFF	LPDDR SDRAM (64MB)	CSD0
0x8400 0000	0x8FFF FFFF	Reserved	
0x9000 0000	0x9FFF FFFF	Reserved	CSD1
0xA000 0000	0xA0FF FFFF	NOR Flash Memory (16MB)	CS0
0xA100 0000	0xA7FF FFFF	Reserved	
0xA800 0000	0xAFFF FFFF	Spare (128MB)	CS1
0xB000 0000	0xB1FF FFFF	Reserved	CS2
0xB200 0000	0xB3FF FFFF	Spare (32MB)	CS3
0xB400 0000	0xB5FF FFFF	Spare (32MB)	CS4
0xB600 0000	0xB7FF FFFF	Spare (32MB)	CS5
0xB800 0000	0xB800 0FFF	NAND Flash Memory Region	
0xB800 1000	0xB800 4FFF	i.MX31 Internal Registers	
0xB800 5000	0xBBFF FFFF	Reserved	
0xBC00 0000	0xBFFF FFFF	PCMCIA I/F Region	
0xC000 0000	0xFFFF FFFF	Reserved	

表 4.2 Armadillo-500 A5027/A5067 物理メモリマップ

Start Address	End Address	Device	Area
0x0000 0000	0x0000 3FFF	i.MX31 Secure ROM (16kB)	
0x0000 4000	0x0040 3FFF	Reserved	
0x0040 4000	0x0040 7FFF	i.MX31 Internal ROM (16kB)	
0x0040 8000	0x1FFF BFFF	Reserved	
0x1FFF C000	0x1FFF FFFF	i.MX31 Internal RAM (16kB)	
0x2000 0000	0x2FFF FFFF	Reserved	
0x3000 0000	0x7FFF FFFF	i.MX31 Internal Registers	
0x8000 0000	0x87FF FFFF	LPDDR SDRAM (128MB)	CSD0
0x8800 0000	0x8FFF FFFF	Reserved	
0x9000 0000	0x9FFF FFFF	Reserved	CSD1
0xA000 0000	0xA1FF FFFF	NOR Flash Memory (32MB)	CS0
0xA200 0000	0xA7FF FFFF	Reserved	
0xA800 0000	0xAFFF FFFF	Spare (128MB)	CS1
0xB000 0000	0xB1FF FFFF	Reserved	CS2
0xB200 0000	0xB3FF FFFF	Spare (32MB)	CS3
0xB400 0000	0xB5FF FFFF	Spare (32MB)	CS4
0xB600 0000	0xB7FF FFFF	Spare (32MB)	CS5



---

Start Address	End Address	Device	Area
0xB800 0000	0xB800 0FFF	NAND Flash Memory Region	
0xB800 1000	0xB800 4FFF	i.MX31 Internal Registers	
0xB800 5000	0xBBFF FFFF	Reserved	
0xBC00 0000	0xBFFF FFFF	PCMCIA I/F Region	
0xC000 0000	0xFFFF FFFF	Reserved	

# 5. インターフェース仕様

## 5.1. インターフェースの配置

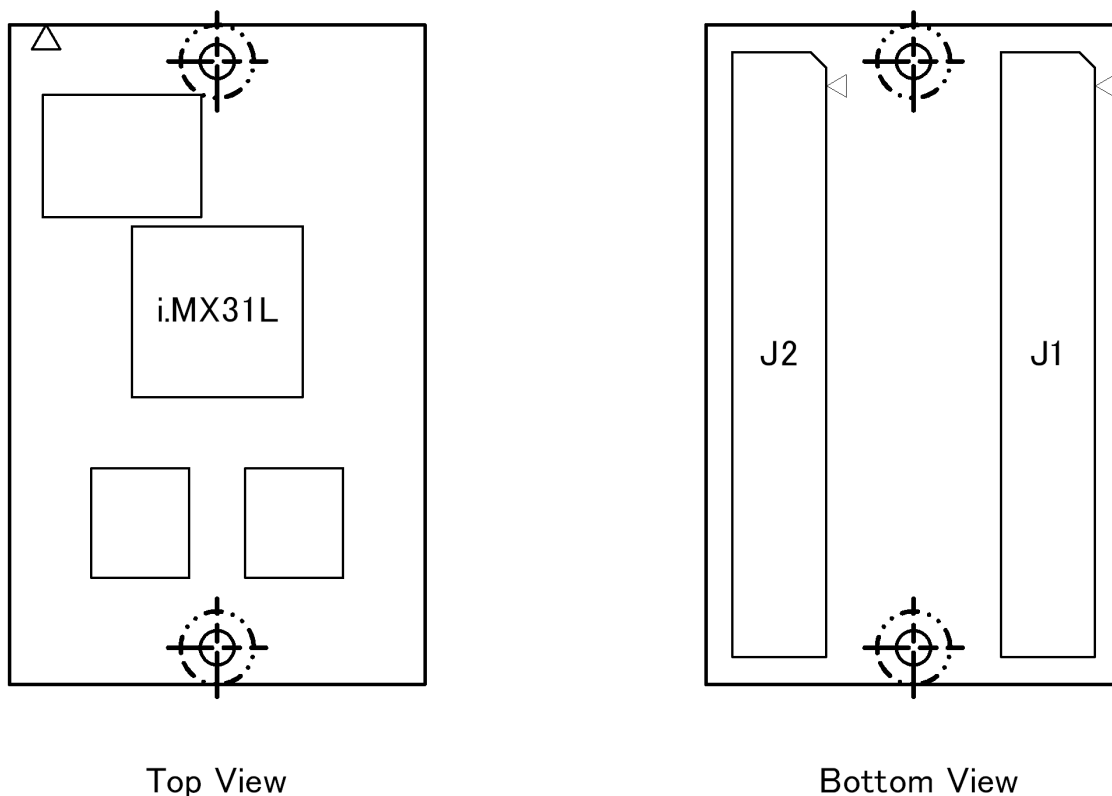


図 5.1 インターフェースの配置

表 5.1 インターフェースの内容

部品番号	インターフェース	形状	備考
J1,J2	基板間コネクタ	154 ピン(0.5mm ピッチ)	

## 5.2. J1, J2

J1, J2 の信号配列を 「表 5.2. J1 信号配列」 、 「表 5.3. J2 信号配列」 に示します。

表 5.2 J1 信号配列

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
1	NVCC5_IN	NVCC5	2	QVCC_IN	QVCC
3	NVCC5_IN	NVCC5	4	QVCC_IN	QVCC
5	BATT_LINE	NVCC5	6	QVCC_IN	QVCC
7	CSPI2_SPI_RDY	NVCC5	8	LD15	+1.8V
9	CSPI2_SCLK	NVCC5	10	LD14	+1.8V
11	GND	GND	12	GND	GND

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
13	CSPI2_SS2	NVCC5	14	LD13	+1.8V
15	CSPI2_SS1	NVCC5	16	LD12	+1.8V
17	CSPI2_SS0	NVCC5	18	LD11	+1.8V
19	CSPI2_MISO	NVCC5	20	LD10	+1.8V
21	CSPI2_MOSI	NVCC5	22	LD9	+1.8V
23	SFS5	NVCC5	24	LD8	+1.8V
25	SCK5	NVCC5	26	LD7	+1.8V
27	SRXD5	NVCC5	28	LD6	+1.8V
29	STXD5	NVCC5	30	LD5	+1.8V
31	SFS4	NVCC5	32	LD4	+1.8V
33	GND	GND	34	GND	GND
35	SCK4	NVCC5	36	LD3	+1.8V
37	SRXD4	NVCC5	38	LD2	+1.8V
39	STXD4	NVCC5	40	LD1	+1.8V
41	USBOTG_D7	NVCC5	42	LD0	+1.8V
43	USBOTG_D6	NVCC5	44	PC_CE2*	+1.8V
45	USBOTG_D5	NVCC5	46	PC_CE1*	+1.8V
47	USBOTG_D4	NVCC5	48	EB1*	+1.8V
49	USBOTG_D3	NVCC5	50	EBO*	+1.8V
51	USBOTG_D2	NVCC5	52	LBA*	+1.8V
53	USBOTG_D1	NVCC5	54	BCLK	+1.8V
55	GND	GND	56	GND	GND
57	USBOTG_D0	NVCC5	58	ECB*	+1.8V
59	USBOTG_NXT	NVCC5	60	OE*	+1.8V
61	USBOTG_STP	NVCC5	62	RW*	+1.8V
63	USBOTG_DIR	NVCC5	64	CS5*	+1.8V
65	USBOTG_CLK	NVCC5	66	CS4*	+1.8V
67	SFS6	+1.8V	68	CS3*	+1.8V
69	SCK6	+1.8V	70	CS1*	+1.8V
71	SRXD6	+1.8V	72	LA25	+1.8V
73	STXD6	+1.8V	74	LA24	+1.8V
75	SFS3	+1.8V	76	LA23	+1.8V
77	GND	GND	78	GND	GND
79	SCK3	+1.8V	80	LA22	+1.8V
81	SRXD3	+1.8V	82	LA21	+1.8V
83	STXD3	+1.8V	84	LA20	+1.8V
85	USBH2_D1	+1.8V	86	LA19	+1.8V
87	USBH2_D0	+1.8V	88	LA18	+1.8V
89	USBH2_NXT	+1.8V	90	LA17	+1.8V
91	USBH2_STP	+1.8V	92	LA16	+1.8V
93	USBH2_DIR	+1.8V	94	LA15	+1.8V
95	USBH2_CLK	+1.8V	96	LA14	+1.8V
97	CSPI1_SPI_RDY	+1.8V	98	LA13	+1.8V
99	GND	GND	100	GND	GND
101	CSPI1_SCLK	+1.8V	102	LA12	+1.8V
103	CSPI1_SS2	+1.8V	104	LA11	+1.8V
105	CSPI1_SS1	+1.8V	106	LA10	+1.8V
107	CSPI1_SS0	+1.8V	108	LA9	+1.8V
109	CSPI1_MISO	+1.8V	110	LA8	+1.8V
111	CSPI1_MOSI	+1.8V	112	LA7	+1.8V
113	NFRB	+1.8V	114	LA6	+1.8V
115	NFCE*	+1.8V	116	LA5	+1.8V
117	NFWP*	+1.8V	118	LA4	+1.8V

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
119	NFCLE	+1.8V	120	LA3	+1.8V
121	GND	GND	122	GND	GND
123	NFALE	+1.8V	124	LA2	+1.8V
125	NFRE*	+1.8V	126	LA1	+1.8V
127	NFWE*	+1.8V	128	LA0	+1.8V
129	GPIO1_3	+1.8V	130	BOOT_MODE4	+1.8V
131	GPIO1_2	+1.8V	132	BOOT_MODE3	+1.8V
133	GPIO1_1	+1.8V	134	BOOT_MODE2	+1.8V
135	GPIO1_0	+1.8V	136	BOOT_MODE1	+1.8V
137	CMP1	+1.8V	138	BOOT_MODE0	+1.8V
139	CAP1	+1.8V	140	CLKSS	+1.8V
141	WATCHDOG_RST	+1.8V	142	CLKO	+1.8V
143	GND	GND	144	GND	GND
145	B_POR*	+1.8V <sup>[1]</sup>	146	FUSE_VDD_IN	FUSE_VDD
147	RESET_IN*	+1.8V	148	+1.8V_IN	+1.8V
149	N.C	-	150	+1.8V_IN	+1.8V
151	+1.8V_IN	+1.8V	152	+1.8V_IN	+1.8V
153	+1.8V_IN	+1.8V	154	+1.8V_IN	+1.8V

<sup>[1]</sup>B\_POR\*ピンはトレラント機能により+5Vまでの入力可能

表 5.3 J2 信号配列

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
1	SD1_CMD	NVCC3	2	NVCC3_IN	NVCC3
3	SD1_CLK	NVCC3	4	NVCC3_IN	NVCC3
5	SD1_D0	NVCC3	6	CSPI3_MOSI	NVCC3
7	SD1_D1	NVCC3	8	CSPI3_MISO	NVCC3
9	SD1_D2	NVCC3	10	CSPI3_SCLK	NVCC3
11	GND	GND	12	GND	GND
13	SD1_D3	NVCC3	14	CSPI3_SPI_RDY	NVCC3
15	ATA_CS1	NVCC3	16	PC_CD2*	NVCC3
17	ATA_DMACK	NVCC3	18	PC_VS1	NVCC3
19	ATA_CS0	NVCC3	20	PC_RST	NVCC3
21	ATA_DIOR	NVCC3	22	PC_READY	NVCC3
23	ATA_DIOW	NVCC3	24	PC_RW*	NVCC3
25	ATA_RESET*	NVCC3	26	PC_BVD1	NVCC3
27	VSTBY	+1.8V	28	IOIS16	NVCC3
29	DVFS0	+1.8V	30	PC_PWRON	NVCC3
31	DVFS1	+1.8V	32	PC_BVD2	NVCC3
33	GND	GND	34	GND	GND
35	VPG0	+1.8V	36	PC_POE	NVCC3
37	VPG1	+1.8V	38	PC_VS2	NVCC3
39	POWER_FAIL	+1.8V	40	PC_CD1*	NVCC3
41	SVEN0	NVCC6	42	PC_WAIT*	NVCC3
43	SRX0	NVCC6	44	PWMO	NVCC3
45	SCLK0	NVCC6	46	NVCC6_IN	NVCC6
47	SRST0	NVCC6	48	NVCC6_IN	NVCC6
49	STX0	NVCC6	50	RTCK	NVCC6
51	SIMPDO	NVCC6	52	TCK	NVCC6
53	KEY_ROW7	NVCC6	54	TMS	NVCC6
55	GND	GND	56	GND	GND
57	KEY_ROW6	NVCC6	58	TDI	NVCC6

ピン番号	信号名	電圧グループ	ピン番号	信号名	電圧グループ
59	KEY_ROW5	NVCC6	60	TDO	NVCC6
61	KEY_ROW4	NVCC6	62	TRST*	NVCC6
63	KEY_ROW3	NVCC6	64	DE*	NVCC6
65	KEY_ROW2	NVCC6	66	RXD1	NVCC8
67	KEY_ROW1	NVCC6	68	TXD1	NVCC8
69	KEY_ROW0	NVCC6	70	RTS1	NVCC8
71	KEY_COL0	NVCC6	72	CTS1	NVCC8
73	KEY_COL1	NVCC6	74	NVCC8_IN	NVCC8
75	KEY_COL2	NVCC6	76	NVCC8_IN	NVCC8
77	GND	GND	78	GND	GND
79	KEY_COL3	NVCC6	80	DTR_DTE1	NVCC8
81	KEY_COL4	NVCC6	82	DSR_DTE1	NVCC8
83	KEY_COL5	NVCC6	84	RI_DTE1	NVCC8
85	KEY_COL6	NVCC6	86	DCD_DTE1	NVCC8
87	KEY_COL7	NVCC6	88	RXD2	NVCC8
89	CSI_D4	NVCC4	90	TXD2	NVCC8
91	CSI_D5	NVCC4	92	RTS2	NVCC8
93	CSI_D6	NVCC4	94	CTS2	NVCC8
95	CSI_D7	NVCC4	96	NVCC4_IN	NVCC4
97	CSI_D8	NVCC4	98	NVCC4_IN	NVCC4
99	GND	GND	100	GND	GND
101	CSI_D9	NVCC4	102	I2C_CLK	NVCC4
103	CSI_D10	NVCC4	104	I2C_DAT	NVCC4
105	CSI_D11	NVCC4	106	GPIO3_0	NVCC4
107	CSI_D12	NVCC4	108	GPIO3_1	NVCC4
109	CSI_D13	NVCC4	110	IPU_LD0	NVCC7
111	CSI_D14	NVCC4	112	IPU_LD1	NVCC7
113	CSI_D15	NVCC4	114	IPU_LD2	NVCC7
115	CSI_MCLK	NVCC4	116	IPU_LD3	NVCC7
117	CSI_VSYNC	NVCC4	118	IPU_LD4	NVCC7
119	CSI_HSYNC	NVCC4	120	IPU_LD5	NVCC7
121	GND	GND	122	GND	GND
123	CSI_PIXCLK	NVCC4	124	IPU_LD6	NVCC7
125	IPU_VSYNC0	NVCC7	126	IPU_LD7	NVCC7
127	IPU_HSYNC	NVCC7	128	IPU_LD8	NVCC7
129	IPU_FPSHIFT	NVCC7	130	IPU_LD9	NVCC7
131	IPU_DRDY0	NVCC7	132	IPU_LD10	NVCC7
133	IPU_LCS0	NVCC7	134	IPU_LD11	NVCC7
135	IPU_LCS1	NVCC7	136	IPU_LD12	NVCC7
137	IPU_PAR_RS	NVCC7	138	IPU_LD13	NVCC7
139	IPU_WRITE	NVCC7	140	IPU_LD14	NVCC7
141	IPU_READ	NVCC7	142	IPU_LD15	NVCC7
143	GND	GND	144	GND	GND
145	IPU_VSYNC3	NVCC7	146	IPU_LD16	NVCC7
147	IPU_CONTRAST	NVCC7	148	IPU_LD17	NVCC7
149	IPU_D3_REV	NVCC7	150	N.C	-
151	IPU_D3_CLS	NVCC7	152	NVCC7_IN	NVCC7
153	IPU_D3_SPL	NVCC7	154	NVCC7_IN	NVCC7

## 6. 推奨動作電圧

表 6.1 各電圧グループの推奨動作電圧

電圧グループ	機能	ピン番号	Min	Max	単位
NVCC3	I/O 電圧	J2(2),J2(4)	1.75	3.1	V
NVCC4	I/O 電圧	J2(96),J2(98)	1.75	3.1	V
NVCC5	I/O 電圧	J1(1),J1(3)	1.75	3.1	V
NVCC6	I/O 電圧	J2(46),J2(48)	1.75	3.1	V
NVCC7	I/O 電圧	J2(152),J2(154)	1.75	3.1	V
NVCC8	I/O 電圧	J2(74),J2(76)	1.75	3.1	V
+1.8V	メモリ電圧	J1(148),J1(150), J1(151),J1(152), J1(153),J1(154)	1.75	1.95	V
FUSE_VDD	Fuse 電圧	J1(146)	1.75	3.1	V
QVCC	コア電圧 (A5001-U00-B)	J1(2),J1(4),J1(6)	1.35 <sup>[1]</sup>	1.55 <sup>[2]</sup>	V
QVCC	コア電圧 (A5001-U00-B 以外)	J1(2),J1(4),J1(6)	1.38	1.52 <sup>[2]</sup>	V
FUSE_VDD	Fuse 電圧 (A5001-U00-B)	J1(146)	1.75	1.95	V
FUSE_VDD	Fuse 電圧 (A5001-U00-B 以外)	J1(146)	- <sup>[3]</sup>	-	V
GND	GND	J1(11),J1(12), J1(33),J1(34), J1(55),J1(56), J1(77),J1(78), J1(99),J1(100), J1(121),J1(122), J1(143),J1(144), J2(11),J2(12), J2(33),J2(34), J2(55),J2(56), J2(77),J2(78), J2(99),J2(100), J2(121),J2(122), J2(143),J2(144)			

<sup>[1]</sup>i.MX31/i.MX31L 内蔵 USB コントローラを使用して、High Speed モードに対応する場合は、コア電圧を 1.55V で設計してください。この制限は CPU モジュール A5001-U00-B にのみ適用されます。

<sup>[2]</sup>1.47V 以上のコア電圧で使用される場合は、累積稼動時間が 1.25 年(10950 時間)に制限されます。(例えば、5 年間運用するためには、1 日あたり平均 6 時間の稼動に制限されます。)長期連続稼動が要求される場合、コア電圧は 1.47V 以下で設計してください。この制限は CPU モジュール A5067-U00Z-D には適用されません。

<sup>[3]</sup>CPU モジュール A5001-U00-B 以外では未接続としてください。

Armadillo-500 の推奨電源シーケンスを「図 6.1. 電源シーケンス図」に示します。i.MX31/i.MX31L の PLL 電圧は最後に入力される必要があります。Armadillo-500 の内部回路により、コア電圧(QVCC) 入力の約 5msec 後に PLL 電圧が入力されますので、I/O 電圧(NVCC3~8)とメモリ電圧(+1.8V)は PLL 電圧より前に立ち上がるように電源回路を設計してください。

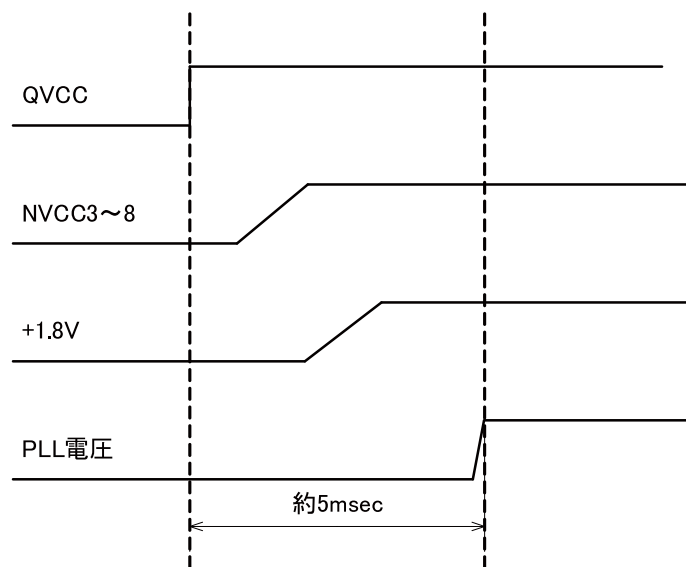
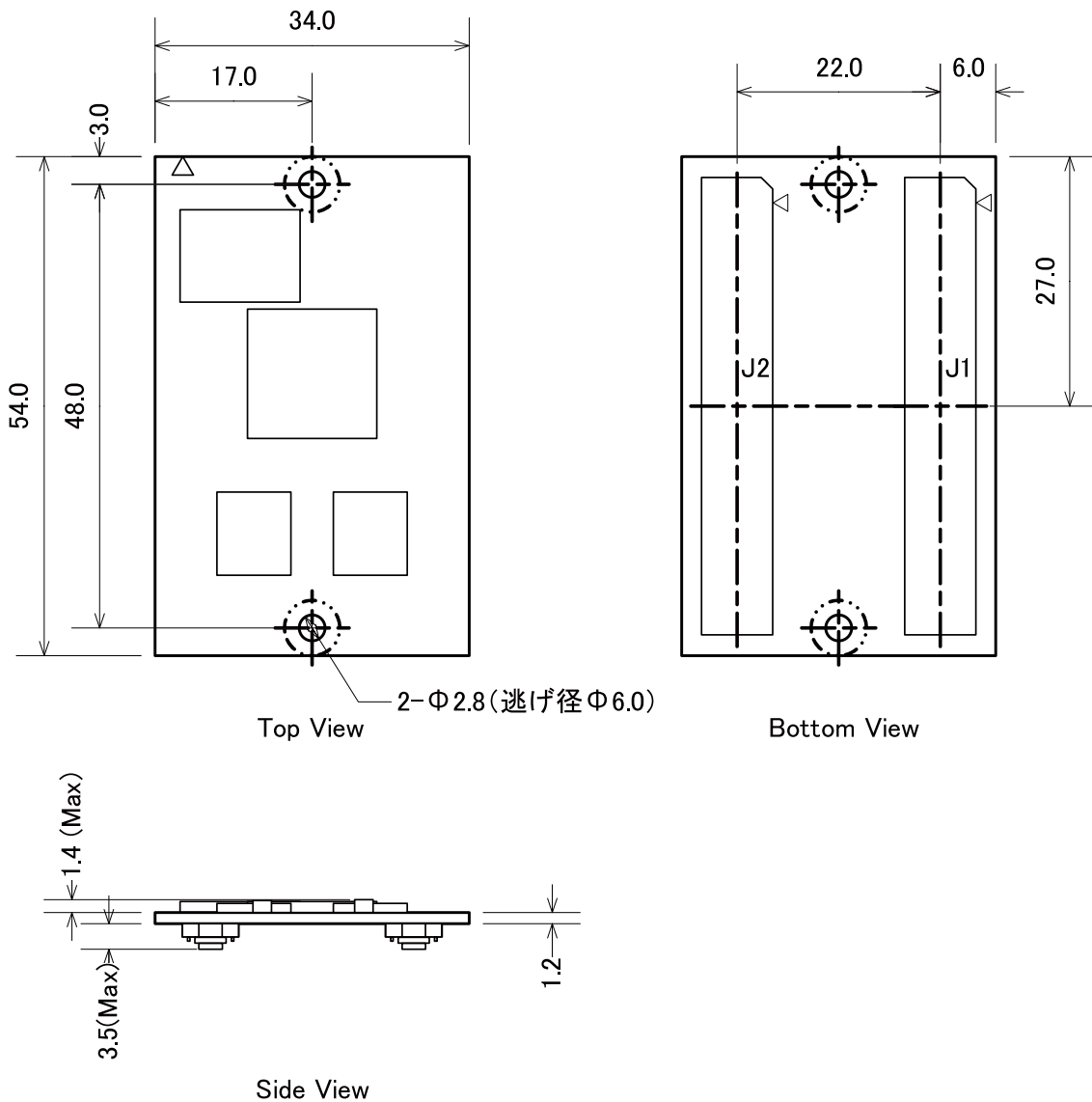


図 6.1 電源シーケンス図

# 7. 基板形状図

(単位 : mm)





# 8. 信号状態

表 8.1 信号状態

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
CAPTURE	In	100kΩPU		J1	139	CAP1
COMPARE	In	100kΩPU		J1	137	CMP1
WATCHDOG_RST	In	100kΩPU		J1	141	WATCHDOG_RST
GPIO1_0	In	100kΩPU		J1	135	GPIO1_0
GPIO1_1	In	100kΩPU		J1	133	GPIO1_1
GPIO1_2	In	100kΩPU		J1	131	GPIO1_2
GPIO1_3	In	100kΩPU		J1	129	GPIO1_3
GPIO1_4	In	100kΩPU	未接続			
GPIO1_5	In	100kΩPU	10kΩPU			
GPIO1_6	In	100kΩPU	未接続			
CKIH	In	Floating	発振器(26MHz)に接続			
CKIL	In	Floating	発振器(32.768kHz)に接続			
CLKO	Out	toggleing		J1	142	CLKO
CLKSS	In	Floating	10kΩPU	J1	140	CLKSS
RESET_IN*	In	100kΩPU	10kΩPU	J1	147	RESET_IN*
POR*	In	100kΩPU	buffer (ベースボードで入力処理必要)	J1	145	B_POR*
BOOT_MODE0	In	Floating	10kΩPU	J1	138	BOOT_MODE0
BOOT_MODE1	In	Floating	10kΩPU	J1	136	BOOT_MODE1
BOOT_MODE2	In	Floating	10kΩPU	J1	134	BOOT_MODE2
BOOT_MODE3	In	Floating	10kΩPU	J1	132	BOOT_MODE3
BOOT_MODE4	In	Floating	10kΩPU	J1	130	BOOT_MODE4
POWER_FAIL	In	100kΩPD		J2	39	PWR_FAIL
VSTBY	Out	Low		J2	27	VSTBY
DVFS0	Out	Low		J2	29	DVFS0
DVFS1	Out	Low		J2	31	DVFS1
VPG0	Out	Low		J2	35	VPG0
VPG1	Out	Low		J2	37	VPG1
A0	Out	Low	LPDDR, buffer, 100kΩPD	J1	128	LA0
A1	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	126	LA1
A2	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	124	LA2
A3	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	120	LA3
A4	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	118	LA4
A5	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	116	LA5
A6	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	114	LA6
A7	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	112	LA7
A8	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	110	LA8
A9	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	108	LA9

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
A10	Out	Low	NORFlash, 100kΩPD	J1	106	LA10
MA10	Out	Low	LPDDR			
A11	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	104	LA11
A12	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	102	LA12
A13	Out	Low	LPDDR, buffer, NORFlash, 100kΩPD	J1	98	LA13
A14	Out	Low	NORFlash, 100kΩPD	J1	96	LA14
A15	Out	Low	NORFlash, 100kΩPD	J1	94	LA15
A16	Out	Low	NORFlash, 100kΩPD	J1	92	LA16
A17	Out	Low	NORFlash, 100kΩPD	J1	90	LA17
A18	Out	Low	NORFlash, 100kΩPD	J1	88	LA18
A19	Out	Low	NORFlash, 100kΩPD	J1	86	LA19
A20	Out	Low	NORFlash, 100kΩPD	J1	84	LA20
A21	Out	Low	NORFlash, 100kΩPD	J1	82	LA21
A22	Out	Low	NORFlash, 100kΩPD	J1	80	LA22
A23	Out	Low	NORFlash, 100kΩPD	J1	76	LA23
A24	Out	Low	NORFlash, 100kΩPD	J1	74	LA24
A25	Out	Low	NORFlash, 100kΩPD	J1	72	LA25
SDBA0	Out	Low	LPDDR, buffer	J1	44	PC_CE2*
SDBA1	Out	Low	LPDDR, buffer	J1	46	PC_CE1*
SD0	In	Low (keeper)	LPDDR			
SD1	In	Low (keeper)	LPDDR			
SD2	In	Low (keeper)	LPDDR			
SD3	In	Low (keeper)	LPDDR			
SD4	In	Low (keeper)	LPDDR			
SD5	In	Low (keeper)	LPDDR			
SD6	In	Low (keeper)	LPDDR			
SD7	In	Low (keeper)	LPDDR			
SD8	In	Low (keeper)	LPDDR			
SD9	In	Low (keeper)	LPDDR			
SD10	In	Low (keeper)	LPDDR			
SD11	In	Low (keeper)	LPDDR			
SD12	In	Low (keeper)	LPDDR			
SD13	In	Low (keeper)	LPDDR			
SD14	In	Low (keeper)	LPDDR			
SD15	In	Low (keeper)	LPDDR			
SD16	In	Low (keeper)	LPDDR			
SD17	In	Low (keeper)	LPDDR			
SD18	In	Low (keeper)	LPDDR			
SD19	In	Low (keeper)	LPDDR			
SD20	In	Low (keeper)	LPDDR			
SD21	In	Low (keeper)	LPDDR			
SD22	In	Low (keeper)	LPDDR			
SD23	In	Low (keeper)	LPDDR			
SD24	In	Low (keeper)	LPDDR			
SD25	In	Low (keeper)	LPDDR			
SD26	In	Low (keeper)	LPDDR			
SD27	In	Low (keeper)	LPDDR			
SD28	In	Low (keeper)	LPDDR			
SD29	In	Low (keeper)	LPDDR			

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
SD30	In	Low (keeper)	LPDDR			
SD31	In	Low (keeper)	LPDDR			
DQM0	Out	Low	LPDDR			
DQM1	Out	Low	LPDDR			
DQM2	Out	Low	LPDDR			
DQM3	Out	Low	LPDDR			
RAS	Out	High (keeper)	LPDDR			
CAS	Out	High (keeper)	LPDDR			
SDWE	Out	High (keeper)	LPDDR			
SDCKE0	Out	Low (keeper)	LPDDR			
SDCKE1	Out	Low (keeper)	未接続			
SDCLK	Out	toggling	LPDDR			
SDCLK*	Out	toggling	LPDDR			
SDQS0	Out	Low, 100kΩPD	LPDDR			
SDQS1	Out	Low, 100kΩPD	LPDDR			
SDQS2	Out	Low, 100kΩPD	LPDDR			
SDQS3	Out	Low, 100kΩPD	LPDDR			
EBO	Out	High		J1	50	EBO*
EB1	Out	High		J1	48	EB1*
OE	Out	High	NORFlash	J1	60	OE*
RW	Out	High	NORFlash	J1	62	RW*
ECB	In	100kΩPU	NORFlash, 10kΩPU	J1	58	ECB*
LBA	Out	High	NORFlash	J1	52	LBA*
BCLK	Out	Low	NORFlash	J1	54	BCLK
CS0	Out	High	NORFlash			
CS1	Out	High		J1	70	CS1*
CS2	Out	High (keeper)	LPDDR			
CS3	Out	High (keeper)		J1	68	CS3*
CS4	Out	High		J1	66	CS4*
CS5	Out	High		J1	64	CS5*
M_REQUEST	Out	Low	未接続			
M_GRANT	In	100kΩPU	未接続			
D0	In	Low (keeper)	NORFlash, 100kΩPD	J1	42	LD0
D1	In	Low (keeper)	NORFlash, 100kΩPD	J1	40	LD1
D2	In	Low (keeper)	NORFlash, 100kΩPD	J1	38	LD2
D3	In	Low (keeper)	NORFlash, 100kΩPD	J1	36	LD3
D4	In	Low (keeper)	NORFlash, 100kΩPD	J1	32	LD4
D5	In	Low (keeper)	NORFlash, 100kΩPD	J1	30	LD5
D6	In	Low (keeper)	NORFlash, 100kΩPD	J1	28	LD6
D7	In	Low (keeper)	NORFlash, 100kΩPD	J1	26	LD7
D8	In	Low (keeper)	NORFlash, 100kΩPD	J1	24	LD8
D9	In	Low (keeper)	NORFlash, 100kΩPD	J1	22	LD9
D10	In	Low (keeper)	NORFlash, 100kΩPD	J1	20	LD10
D11	In	Low (keeper)	NORFlash, 100kΩPD	J1	18	LD11
D12	In	Low (keeper)	NORFlash, 100kΩPD	J1	16	LD12
D13	In	Low (keeper)	NORFlash, 100kΩPD	J1	14	LD13
D14	In	Low (keeper)	NORFlash, 100kΩPD	J1	10	LD14
D15	In	Low (keeper)	NORFlash, 100kΩPD	J1	8	LD15

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
NFWE*	Out	High, 100kΩPD		J1	127	NFWE*
NFRE*	Out	High, 100kΩPU		J1	125	NFRE*
NFALE	Out	Low, 100kΩPU		J1	123	NFALE
NFCLE	Out	Low, 100kΩPU		J1	119	NFCLE
NFWP*	Out	Low(リセット中は High), 100kΩPU		J1	117	NFWP*
NFCE*	Out	High, 100kΩPU		J1	115	NFCE*
NFRB	In	100kΩPU		J1	113	NFRB
STXD3	In	100kΩPU		J1	83	STXD3
SRXD3	In	100kΩPU		J1	81	SRXD3
SCK3	In	100kΩPU		J1	79	SCK3
SFS3	In	100kΩPU		J1	75	SFS3
STXD6	In	100kΩPU		J1	73	STXD6
SRXD6	In	100kΩPU		J1	71	SRXD6
SCK6	In	100kΩPU		J1	69	SCK6
SFS6	In	100kΩPU		J1	67	SFS6
CSPI1_MOSI	In	100kΩPU		J1	111	CSPI1_MOSI
CSPI1_MISO	In	100kΩPU		J1	109	CSPI1_MISO
CSPI1_SS0	In	100kΩPU		J1	107	CSPI1_SS0
CSPI1_SS1	In	100kΩPU		J1	105	CSPI1_SS1
CSPI1_SS2	In	100kΩPU		J1	103	CSPI1_SS2
CSPI1_SCLK	In	100kΩPU		J1	101	CSPI1_SCLK
CSPI1_SPI_RDY	In	100kΩPU		J1	97	CSPI1_SPI_RDY
USBH2_CLK	In	100kΩPU		J1	95	USBH2_CLK
USBH2_DIR	In	100kΩPU		J1	93	USBH2_DIR
USBH2_STP	In	100kΩPU		J1	91	USBH2_STP
USBH2_NXT	In	100kΩPU		J1	89	USBH2_NXT
USBH2_DATA0	In	100kΩPU		J1	87	USBH2_D0
USBH2_DATA1	In	100kΩPU		J1	85	USBH2_D1
PWMO	In	Floating	100kΩPU	J2	44	PWMO
PC_CD1*	In	100kΩPU		J2	40	PC_CD1*
PC_CD2*	In	100kΩPU		J2	16	PC_CD2*
PC_WAIT*	In	100kΩPU		J2	42	PC_WAIT*
PC_READY	In	100kΩPU		J2	22	PC_READY
PC_PWRON	In	100kΩPD		J2	30	PC_PWRON
PC_VS1	In	100kΩPU		J2	18	PC_VS1
PC_VS2	In	100kΩPU		J2	38	PC_VS2
PC_BVD1	In	100kΩPU		J2	26	PC_BVD1
PC_BVD2	In	100kΩPU		J2	32	PC_BVD2
PC_RST	Out	Low, 100kΩPU		J2	20	PC_RST
IOIS16	In	100kΩPU		J2	28	IOIS16
PC_RW*	Out	High, 100kΩPU		J2	24	PC_RW*
PC_POE	Out	High		J2	36	PC_POE
SD1_CMD	In	Floating	100kΩPU	J2	1	SD1_CMD
SD1_CLK	In	Floating	100kΩPU	J2	3	SD1_CLK
SD1_DATA0	In	Floating	100kΩPU	J2	5	SD1_D0

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
SD1_DATA1	In	Floating	100kΩPU	J2	7	SD1_D1
SD1_DATA2	In	Floating	100kΩPU	J2	9	SD1_D2
SD1_DATA3	In	Floating	※ベースボードで入力処理必要	J2	13	SD1_D3
ATA_CS0	In	Floating	100kΩPU	J2	19	ATA_CS0
ATA_CS1	In	Floating	100kΩPU	J2	15	ATA_CS1
ATA_DIOR	In	100kΩPU		J2	21	ATA_DIOR
ATA_DIOW	In	100kΩPU		J2	23	ATA_DIOW
ATA_DMACK	In	100kΩPU		J2	17	ATA_DMACK
ATA_RESET*	In	100kΩPU		J2	25	ATA_RESET*
CSPI3_MOSI	In	100kΩPU		J2	6	CSPI3_MOSI
CSPI3_MISO	In	100kΩPU		J2	8	CSPI3_MISO
CSPI3_SCLK	In	100kΩPU		J2	10	CSPI3_SCLK
CSPI3_SPI_RDY	In	100kΩPU		J2	14	CSPI3_SPI_RDY
GPIO3_0	In	100kΩPU		J2	106	GPIO3_0
GPIO3_1	In	100kΩPU		J2	108	GPIO3_1
CSI_D4	In	Low or High (keeper)		J2	89	CSI_D4
CSI_D5	In	Low or High (keeper)		J2	91	CSI_D5
CSI_D6	In	Low or High (keeper)		J2	93	CSI_D6
CSI_D7	In	Low or High (keeper)		J2	95	CSI_D7
CSI_D8	In	Low or High (keeper)		J2	97	CSI_D8
CSI_D9	In	Low or High (keeper)		J2	101	CSI_D9
CSI_D10	In	Low or High (keeper)		J2	103	CSI_D10
CSI_D11	In	Low or High (keeper)		J2	105	CSI_D11
CSI_D12	In	Low or High (keeper)		J2	107	CSI_D12
CSI_D13	In	Low or High (keeper)		J2	109	CSI_D13
CSI_D14	In	Low or High (keeper)		J2	111	CSI_D14
CSI_D15	In	Low or High (keeper)		J2	113	CSI_D15
CSI_MCLK	In	Low or High (keeper)		J2	115	CSI_MCLK
CSI_VSYNC	In	Low or High (keeper)		J2	117	CSI_VSYNC
CSI_HSYNC	In	Low or High (keeper)		J2	119	CSI_HSYNC
CSI_PIXCLK	In	Low or High (keeper)		J2	123	CSI_PIXCLK
I2C_CLK	In	100kΩPU		J2	102	I2C_CLK
I2C_DAT	In	100kΩPU		J2	104	I2C_DAT
STXD4	In	100kΩPU		J1	39	STXD4
SRXD4	In	100kΩPU		J1	37	SRXD4
SCK4	In	100kΩPU		J1	35	SCK4
SFS4	In	100kΩPU		J1	31	SFS4
STXD5	In	100kΩPU		J1	29	STXD5

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
SRXD5	In	100kΩPU		J1	27	SRXD5
SCK5	In	100kΩPU		J1	25	SCK5
SFS5	In	100kΩPU		J1	23	SFS5
CSPI2_MOSI	In	100kΩPU		J1	21	CSPI2_MOSI
CSPI2_MISO	In	100kΩPU		J1	19	CSPI2_MISO
CSPI2_SS0	In	100kΩPU		J1	17	CSPI2_SS0
CSPI2_SS1	In	100kΩPU		J1	15	CSPI2_SS1
CSPI2_SS2	In	100kΩPU		J1	13	CSPI2_SS2
CSPI2_SCLK	In	100kΩPU		J1	9	CSPI2_SCLK
CSPI2_SPI_RDY	In	100kΩPU		J1	7	CSPI2_SPI_RDY
BATT_LINE	In	100kΩPU		J1	5	BATT_LINE
USB_PWR	In	100kΩPU	1kΩPD			
USB_OC	In	100kΩPU	1kΩPD			
USB_BYP	In	100kΩPU	1kΩPD			
USBOTG_CLK	In	100kΩPU		J1	65	USBOTG_CLK
USBOTG_DIR	In	100kΩPU		J1	63	USBOTG_DIR
USBOTG_STP	In	100kΩPU		J1	61	USBOTG_STP
USBOTG_NXT	In	100kΩPU		J1	59	USBOTG_NXT
USBOTG_DATA0	In	100kΩPU		J1	57	USBOTG_D0
USBOTG_DATA1	In	100kΩPU		J1	53	USBOTG_D1
USBOTG_DATA2	In	100kΩPU		J1	51	USBOTG_D2
USBOTG_DATA3	In	100kΩPU		J1	49	USBOTG_D3
USBOTG_DATA4	In	100kΩPU		J1	47	USBOTG_D4
USBOTG_DATA5	In	100kΩPU		J1	45	USBOTG_D5
USBOTG_DATA6	In	100kΩPU		J1	43	USBOTG_D6
USBOTG_DATA7	In	100kΩPU		J1	41	USBOTG_D7
KEY_ROW0	In	100kΩPU		J2	69	KEY_ROW0
KEY_ROW1	In	100kΩPU		J2	67	KEY_ROW1
KEY_ROW2	In	100kΩPU		J2	65	KEY_ROW2
KEY_ROW3	In	100kΩPU		J2	63	KEY_ROW3
KEY_ROW4	In	100kΩPU		J2	61	KEY_ROW4
KEY_ROW5	In	100kΩPU		J2	59	KEY_ROW5
KEY_ROW6	In	100kΩPU		J2	57	KEY_ROW6
KEY_ROW7	In	100kΩPU		J2	53	KEY_ROW7
KEY_COL0	In	100kΩPU		J2	71	KEY_COL0
KEY_COL1	In	100kΩPU		J2	73	KEY_COL1
KEY_COL2	In	100kΩPU		J2	75	KEY_COL2
KEY_COL3	In	100kΩPU		J2	79	KEY_COL3
KEY_COL4	In	100kΩPU		J2	81	KEY_COL4
KEY_COL5	In	100kΩPU		J2	83	KEY_COL5
KEY_COL6	In	100kΩPU		J2	85	KEY_COL6
KEY_COL7	In	100kΩPU		J2	87	KEY_COL7
RTCK	Out	Low or High		J2	50	RTCK
TCK	In	100kΩPD		J2	52	TCK
TMS	In	100kΩPU		J2	54	TMS
TDI	In	100kΩPU		J2	58	TDI
TDO	Out	Low or High		J2	60	TDO
TRSTB	In	100kΩPU		J2	62	TRST*
DE_B	In	100kΩPU		J2	64	DE*
SJC_MOD	In	100kΩPU	1kΩPD			
SCLK0	In	100kΩPU		J2	45	SCLK0
SRST0	In	100kΩPU		J2	47	SRST0

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
SVEN0	In	100kΩPU		J2	41	SVEN0
STX0	In	100kΩPU		J2	49	STX0
SRX0	In	100kΩPU		J2	43	SRX0
SIMPD0	In	100kΩPU		J2	51	SIMPD0
LD0	In	100kΩPU		J2	110	IPU_LD0
LD1	In	100kΩPU		J2	112	IPU_LD1
LD2	In	100kΩPU		J2	114	IPU_LD2
LD3	In	100kΩPU		J2	116	IPU_LD3
LD4	In	100kΩPU		J2	118	IPU_LD4
LD5	In	100kΩPU		J2	120	IPU_LD5
LD6	In	100kΩPU		J2	124	IPU_LD6
LD7	In	100kΩPU		J2	126	IPU_LD7
LD8	In	100kΩPU		J2	128	IPU_LD8
LD9	In	100kΩPU		J2	130	IPU_LD9
LD10	In	100kΩPU		J2	132	IPU_LD10
LD11	In	100kΩPU		J2	134	IPU_LD11
LD12	In	100kΩPU		J2	136	IPU_LD12
LD13	In	100kΩPU		J2	138	IPU_LD13
LD14	In	100kΩPU		J2	140	IPU_LD14
LD15	In	100kΩPU		J2	142	IPU_LD15
LD16	In	100kΩPU		J2	146	IPU_LD16
LD17	In	100kΩPU		J2	148	IPU_LD17
VSYNCO	In	100kΩPU		J2	125	IPU_VSYNCO
HSYNC	In	Floating	100kΩPU	J2	127	IPU_HSYNC
FPSHIFT	In	Floating	100kΩPU	J2	129	IPU_FPSHIFT
DRDY0	In	Floating	100kΩPU	J2	131	IPU_DRDY0
SD_D_I	In	Floating	100kΩPU			
SD_D_IO	In	Floating	100kΩPU			
SD_D_CLK	In	Floating	100kΩPU			
LCS0	In	Floating	100kΩPU	J2	133	IPU_LCS0
LCS1	In	Floating	100kΩPU	J2	135	IPU_LCS1
SER_RS	In	Floating	100kΩPU			
PAR_RS	In	Floating	100kΩPU	J2	137	IPU_PAR_RS
WRITE	In	Floating	100kΩPU	J2	139	IPU_WRITE
READ	In	Floating	100kΩPU	J2	141	IPU_READ
VSYNC3	In	100kΩPU		J2	145	IPU_VSYNC3
CONTRAST	In	Floating	100kΩPU	J2	147	IPU_CONTRAST
D3_REV	In	Floating	100kΩPU	J2	149	IPU_D3_REV
D3_CLS	In	Floating	100kΩPU	J2	151	IPU_D3_CLS
D3_SPL	In	Floating	100kΩPU	J2	153	IPU_D3_SPL
TTM_PAD	In	100kΩPD	GND 接続			
RXD1	In	100kΩPU		J2	66	RXD1
TXD1	In	100kΩPU		J2	68	TXD1
RTS1	In	100kΩPU		J2	70	RTS1
CTS1	In	100kΩPU		J2	72	CTS1
DTR_DCE1	In	100kΩPU	未接続			
DSR_DCE1	In	100kΩPU	未接続			
RI_DCE1	In	100kΩPU	未接続			
DCD_DCE1	In	100kΩPU	未接続			
DTR_DTE1	In	100kΩPU		J2	80	DTR_DTE1
DSR_DTE1	In	100kΩPU		J2	82	DSR_DTE1
RI_DTE1	In	100kΩPU		J2	84	RI_DTE1

i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
DCD_DTE1	In	100kΩPU		J2	86	DCD_DTE1
DTR_DCE2	In	100kΩPU	未接続			
RXD2	In	100kΩPU		J2	88	RXD2
TXD2	In	100kΩPU		J2	90	TXD2
RTS2	In	100kΩPU		J2	92	RTS2
CTS2	In	100kΩPU		J2	94	CTS2
CE_CONTROL	In	Floating	1kΩPD			
				J1	11	GND
				J1	12	GND
				J1	33	GND
				J1	34	GND
				J1	55	GND
				J1	56	GND
				J1	77	GND
				J1	78	GND
				J1	99	GND
				J1	100	GND
				J1	121	GND
				J1	122	GND
				J1	143	GND
				J1	14	GND
				J1	4	
				J2	11	GND
				J2	12	GND
				J2	33	GND
				J2	34	GND
				J2	55	GND
				J2	56	GND
				J2	77	GND
				J2	78	GND
				J2	99	GND
				J2	100	GND
				J2	121	GND
				J2	122	GND
				J2	143	GND
				J2	14	GND
				J2	4	
				J1	1	NVCC5
				J1	3	NVCC5
				J1	2	+1.5V
				J1	4	+1.5V
				J1	6	+1.5V
				J1	151	NVCC1
				J1	153	NVCC1
				J1	146	FUSE_VDD
				J1	148	+1.8V
				J1	150	+1.8V
				J1	152	+1.8V
				J1	154	+1.8V
				J1	149	N.C
				J2	2	NVCC3
				J2	4	NVCC3



i.MX31			A500 CPU モジュール			
CPU 信号名	リセット後のピン状態		内部回路	基板間コネクタ(J1,J2)		
	I/O	状態		ピン番号		信号名
				J2	46	NVCC6
				J2	48	NVCC6
				J2	74	NVCC8
				J2	76	NVCC8
				J2	96	NVCC4
				J2	98	NVCC4
				J2	152	NVCC7
				J2	154	NVCC7
				J2	150	N.C

## 改訂履歴

バージョン	年月日	改訂内容
1.0.0	2007/7/27	・ 初版発行
1.0.1	2007/9/14	・ 「2.2. 保証に関する注意事項」の製品の保証方法を修正
1.0.2	2007/12/14	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」の修正 ・ 「表 5.2. J1 信号配列」および「表 5.3. J2 信号配列」の修正 ・ 「表 6.1. 各電圧グループの推奨動作電圧」の修正
1.0.3	2008/10/02	・ タイトルを英語表記からカタカナ表記に ・ 「表 3.1. Armadillo-500 CPU モジュール仕様」、「表 6.1. 各電圧グループの推奨動作電圧」CPU モジュールの寿命について追記
1.0.4	2008/11/18	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」A5027-U00C について追記 ・ 「表 6.1. 各電圧グループの推奨動作電圧」QVCC(A50**-U**C)の min と max を修正(min=1.3->1.38, max=1.47->1.52)
1.0.5	2008/12/03	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」A5001-U00 のシリコンリビジョンを訂正 ・ 「表 3.1. Armadillo-500 CPU モジュール仕様」A5001-U00C について追記 ・ 「表 6.1. 各電圧グループの推奨動作電圧」QVCC、FUSE_VDD の CPU モジュールの型番に関する注意事項に A5027-U**の情報を追記 ・ ???、「図 3.5. i.MX31 機能ブロック図」追加 ・ 「表 4.2. Armadillo-500 A5027/A5067 物理メモリマップ」追加
1.0.6	2008/12/25	・ 「図 6.1. 電源シーケンス図」、「7. 基板形状図」画像形式を SVG に変更
1.1.0	2009/03/19	・ 「1. はじめに」、「2. 注意事項」構成変更 ・ 「表 3.1. Armadillo-500 CPU モジュール仕様」更新 ・ 誤記、表記ゆれ修正
1.1.1	2009/07/17	・ 本文のレイアウト統一 ・ 表記ゆれ修正 ・ SDRAM 型番表記を追記
1.1.2	2009/07/29	・ 製品保証に関する記載を <a href="http://www.atmark-techno.com/support/warranty-policy">http://www.atmark-techno.com/support/warranty-policy</a> に移動(2009/08/03 適用)
1.2.0	2010/01/29	・ 「7. 基板形状図」単位の位置を変更 ・ 表のレイアウト統一 ・ 「表 5.1. インターフェースの内容」ヘッダの「記号」を「部品番号」に変更 ・ 「8. 信号状態」信号状態についての章を追加 ・ A5567 に対応 ・ 「表 3.1. Armadillo-500 CPU モジュール仕様」更新 ・ 表記ゆれを修正
1.2.1	2010/12/22	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」の誤記修正 ・ 「2. 注意事項」を全面的に変更
1.2.2	2011/03/25	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」の電源電圧(コア)誤記修正 ・ 会社住所変更
1.2.3	2011/10/21	・ 「表 3.1. Armadillo-500 CPU モジュール仕様」の表記変更 ・ 「図 3.1. Armadillo-500 A5001 ブロック図」を体裁修正 ・ 「図 3.2. Armadillo-500 A5027 ブロック図」を体裁修正

- ・「図 3.3. Armadillo-500 A5061/A5067 ブロック図」を体裁修正
- ・「表 3.1. Armadillo-500 CPU モジュール仕様」の表記変更
- ・「表 4.1. Armadillo-500 A5001 物理メモリマップ」の表記変更
- ・「表 4.2. Armadillo-500 A5027/A5067 物理メモリマップ」の表記変更
- ・「表 8.1. 信号状態」の表記変更
- ・ Web サイトの名称を変更

Armadillo-500 ハードウェアマニュアル  
Version 1.2.3  
2011/10/24

---

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル TEL 011-207-6550 FAX 011-207-6570

---