SUZAKU-S
ハードウェアマニュアル

SZ130-U00

Version 1.0.17
2010/09/17

株式会社アットマークテクノ [http://www.atmark-techno.com]

SUZAKU 公式サイト [http://suzaku.atmark-techno.com]

SUZAKU-S ハードウェアマニュアル

株式会社アットマークテクノ

060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F
TEL 011-207-6550 FAX 011-207-6570

製作著作 © 2006-2010 Atmark Techno, Inc

Version 1.0.17
2010/09/17

目次

1. はじめに 6
2. 注意事項 7
2.1. 安全に関する注意事項 7
2.2. 取り扱い上の注意事項 7
2.3. FPGA 使用に関しての注意事項 8
2.4. ソフトウェア使用に関しての注意事項 8
3. 作業の前に 9
3.1. 準備するもの 9
4. 概要 10
4.1. SZ130-U00 の特徴 10
4.2. 仕様 11
4.3. 全体ブロック図 12
4.4. 機能 12
4.4.1. プロセッサ 12
4.4.2. バス 13
4.4.3. メモリ 13
4.4.4. 割り込み 15
4.4.5. タイマ 15
4.4.6. シリアルコンソール 15
4.4.7. LAN 16
4.4.8. 外部 I/O 16
4.4.9. FPGA コンフィギュレーション 16
4.4.10. リセット信号 17
4.4.11. ソフトウェアリセット機能 17
4.4.12. JTAG 18
4.4.13. 設定用ジャンパ 18
4.4.14. LED 18
4.4.15. 電源入力+3.3V 18
4.4.16. 内部ロジック用電源出力+3.3V 19
4.4.17. 内部電源シーケンス 19
5. メモリマップ 20
5.1. SZ130-U00 メモリマップ 20
6. FPGA ピンアサイン 21
7. 各種インターフェース仕様 28
7.1. 各種インターフェースの配置 28
7.2. CON1 RS-232C 29
7.3. CON2 外部 I/O、SPI フラッシュ用コネクタ 29
7.4. CON3 外部 I/O コネクタ 31
7.5. CON4 外部 I/O コネクタ 32
7.6. CON5 外部 I/O コネクタ 32
7.7. CON6 電源入力+3.3V コネクタ 33
7.8. CON7 FPGA 用 JTAG コネクタ 33
7.9. D1, D3 LED 33
7.10. JP1, JP2 設定用ジャンパ 33
7.11. SUZAKU L2 Ethernet 10BASE-T/100BASE-T 34
8. 基板形状図 35

図目次

4.1. SZ130-U00 ブロック図 12
4.2. SZ130-U00 バス構成 13
4.3. SUZAKU のデフォルト 単プロセッサ 32MB Data32bit 幅での使用 14
4.4. プロセッサ 16MB Data16bit 幅 + プロセッサ 16MB Data16bit 幅での使用 15
4.5. プロセッサ 16MB Data16bit 幅 + Hard IP Core での使用 15
4.6. FPGA コンフィギュレーション 17
6.1. CoreConnect のビットラベルと信号名 27
7.1. 各種インターフェースの配置 28
8.1. SZ130-U00 の基板形状 35

表目次

4.1. SZ130-U00 仕様 11
4.2. シリアルコンソールの設定 16
5.1. SZ130-U00 メモリマップ 20
6.1. FPGA ピンアサイン 外部 I/O 関連(1/3) 21
6.2. FPGA ピンアサイン 外部 I/O 関連(2/3) 22
6.3. FPGA ピンアサイン 外部 I/O 関連(3/3) 22
6.4. FPGA ピンアサイン 内部デバイス関連(1/3) 24
6.5. FPGA ピンアサイン 内部デバイス関連(2/3) 25
6.6. FPGA ピンアサイン 内部デバイス関連(3/3) 26
6.7. FPGA ピンアサイン 内部デバイス関連(4/4) 27
7.1. 各種インターフェースの内容 28
7.2. シリアルコンソールの設定 29
7.3. CON1 RS-232C 29
7.4. CON2 外部 I/O、SPI フラッシュ用コネクタ 29
7.5. CON3 外部 I/O　用コネクタ 31
7.6. CON4 外部 I/O 用コネクタ 32
7.7. CON5 外部 I/O 用コネクタ 32
7.8. CON7 Spartan3E 用 JTAG コネクタ 33
7.9. D1、D3 LED 33
7.10. JP1、JP2 設定用ジャンパ 33
7.11. L2 Ethernet 10BASE-T/100BASE-TX 34

1.はじめに

このたびは SUZAKU-S(SZ130-U00)をお求めいただき、ありがとうございます。

■

本マニュアルには SUZAKU-S(SZ130-U00)のハードウェアの仕様や使用方法について記載しております。

SUZAKU-S(SZ130-U00)の機能を最大限引き出すために、ご活用いただければ幸いです。

2.注意事項

2.1. 安全に関する注意事項

SZ130-U00 を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。

本製品には一般電子機器用(ＯＡ機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用していますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性があります。ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等)に万全を期されますようお願い申しあげます。

2.2. 取り扱い上の注意事項

劣化、破損、誤動作、発煙、発火の原因となることがあります。取り扱い時には以下のような点にご注意ください。

入力電源	3.3V+3%以上の電圧を入力しないでください。また、極性を間違わないでください。
インターフェース	各インターフェース(外部 I/O、RS-232C、Ethernet、JTAG)には規定以外の信号を接続しないでください。また、信号の極性、入出力方向を間違わないでください。
本製品の改造	本製品について、外部 I/O コネクタ及び JTAG コネクタ(CON2、CON3、CON4、CON5、CON7)へのコネクタの増設以外の改造を行った場合は保証対象外となりますので、十分にご注意ください。 コネクタを増設する際にはマスキングを行い、周囲の部品に半田くず、半田ボール等付着しない様十分にご注意ください。 なお、改造を行う場合は、改造前の動作確認を必ず行うようお願いします。
FPGA プログラム	周辺回路(ボード上の部品も含む)と信号の衝突(同じ信号に 2 つのデバイスから出力する)を起こすような FPGA プログラムを行わないでください。また、FPGA のプログラムを間違わないでください。
電源の投入	本ボードや周辺回路に電源が入っている状態では絶対に FPGA I/O、JTAG 用コネクタの着脱を行わないでください。
静電気	本ボードには CMOS デバイスを使用していますので、ご使用になるまでは帯電防止対策のされている出荷時のパッケージ等にて保管してください。

ラッチアップ	電源および入出力ラインからの過大なノイズやサージ、電源電圧の急激な変動等で、使用している CMOS デバイスがラッチアップを起こす可能性があります。一旦ラッチアップ状態になりますと、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながることがあります。ノイズの影響を受けやすい入出力ラインには保護回路を導入する、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。
衝撃、振動	落下や衝突などの強い衝撃を与えたり、強い振動や遠心力を与えないでください。また、振動部、回転部などへの搭載はしないでください。
高温低温、多湿	極度に高温や低温になる環境や湿度が高い環境で使用しないでください。
塵埃	塵埃の多い環境では使用しないでください。

2.3. FPGA 使用に関しての注意事項

本製品に含まれる FPGA プロジェクトについて	本製品に含まれる FPGA プロジェクト(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。 本製品は、ベンダのツール(Xilinx 製 EDK、ISE やその他ベンダツール)やベンダの IP コアを利用し、FPGA プロジェクトの構築、コンパイル、コンフィギュレーションデータの生成を行っておりますが、これらツールに関しての販売、サポート、保証等は行っておりません。

2.4. ソフトウェア使用に関しての注意事項

本製品に含まれるソフトウェアについて	本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

3.作業の前に

3.1. 準備するもの

SZ130-U00 を使用する前に、次のものを準備して下さい。

作業用 PC	ハードウェア開発用として、WindowsXP が動作し、シリアルポートを 1 ポート及び USB ポートを 1 ポート(パラレルポートを 1 ポートでも可)[1]を持つ PC を用意してください。 ソフトウェア開発用として、Linux が動作し、シリアルポート(1 ポート)を持つ PC を用意してください。 ソフトウェア開発の詳細については、「SUZAKU ソフトウェアマニュアル」をご参照ください。
D-Sub9 ピンクロスケーブル	D-Sub9 ピン(メスーメス)の「クロス接続用」のケーブルを用意してください。
D-Sub9 ピン-10 ピン変換ケーブル	D-Sub9 ピンと本ボードのピンヘッダ(10 ピン)を接続するための、D-Sub9 ピン-10 ピン変換ケーブルを用意してください。
各種マニュアル及びソースコード	SZ130-U00 に関する各種マニュアルやソースコードを準備してください。これらは開発キット付属 CD-ROM(以降付属 CD-ROM)に収録されています。また、SUZAKU 公式サイトのダウンロードページからダウンロードすることもできます。(http://suzaku.atmark-techno.com/downloads/all)
シリアル通信用ソフト	minicom や Tera Term などのシリアル通信用ソフトが必要です。(Linux 用のソフトは付属 CD-ROM の"\suzaku\tools"にあります。)
DC3.3V 電源	DC3.3V 出力の電源を用意してください。
Xilinx ISE	Xilinx ISE[2]を用意し、インストールしてください。インストール後ソフトウェアアップデートをしてください。必要となるバージョンはご使用になるプロジェクトファイルにより違いますので、付属 CD-ROM もしくは SUZAKU の公式サイトにてバージョンを確認してください。
Xilinx EDK	Xilinx EDK[2]を用意し、インストールしてください。インストール後ソフトウェアアップデートをしてください。必要となるバージョンはご使用になるプロジェクトファイルにより違いますので、付属 CD-ROM もしくは SUZAKU の公式サイトにてバージョンを確認してください。
FPGA ダウンロードケーブル	Xilinx Platform Cable I、II または Xilinx Parallel CableIII、IV[2]もしくはそれ相当のものを用意してください。

[1]ご使用になるダウンロードケーブルにより必要となるポートは違います。
[2]Xilinx 製品の詳細については、Xilinx のホームページ(http://www.xilinx.co.jp/)をご覧になられるか、Xilinx 代理店にお問い合わせください。

4.概要

4.1. SZ130-U00 の特徴

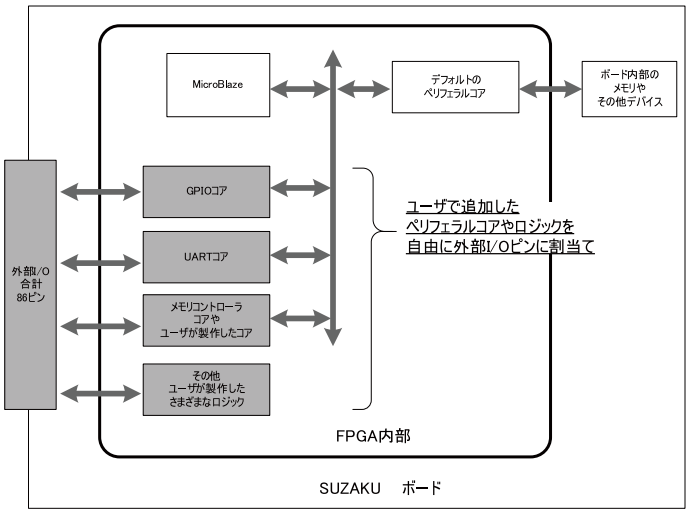
SZ130-U00 は Xilinx の FPGA「Spartan-3E」をベースとしたボードコンピュータです。FPGA 上にソフトプロセッサ「MicroBlaze」と周辺ペリフェラルコアを構成し、オペレーティングシステムとして Linux(uCLinux)を採用しています。

ソフトプロセッサと周辺ペリフェラルコアの構築

MicroBlaze や周辺ペリフェラルコアの構築は、Xilinx EDK(Embedded Development Kit)を使用します。EDK は、GUI 環境下で MicroBlaze や周辺ペリフェラルコアの各種設定が行え、その設定情報から自動的にネットリストを生成するツールです。

カスタマイズ

FPGA の中は、ユーザによってカスタマイズが可能です。また、基板外周にユーザが自由に使える外部 I/O を 86 ピン実装しております。例えば、PIO や UART の数を増やし、外部 I/O ピンに割当てるなどのカスタマイズが簡単に行えます。[1]



LAN

LAN インターフェース(10BASE-T/100BASE-TX)を実装しています。市販の LAN ケーブル(UTP)が接続できます。

オペレーティングシステム

μCLinux を標準のオペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発には GNU のアセンブラや C コンパイラ等を使用することができます。また、LAN コントローラデバイスドライバ、各種プロトコルが最初から用意されていますので、簡単にネットワークに接続できます。オペレーティングシステムの詳細については、「SUZAKU ソフトウェアマニュアル」を参照ください。

[1] FPGA のカスタマイズには Xilinx EDK、ISE が必要です。Xilinx 製品の詳細については、Xilinx のホームページ(http://www.xilinx.co.jp/)をご覧になられるか、Xilinx 代理店にお問い合わせください。

4.2. 仕様

本ボードの主な仕様を以下に示します。

表 4.1 SZ130-U00 仕様

FPGA		Xilinx Spartan-3E XC3S1200 FG320
プロセッサ		MicroBlaze(ソフトプロセッサ)
水晶発振器周波数		3.6864MHz(FPGA の内部 DCM により逓倍して使用)
メモリ	BRAM	504Kbits
	SDRAM	16MB×2
	SPI フラッシュ	8MB
コンフィギュレーション		SPI フラッシュメモリ上に記憶
JTAG		1 ポート(FPGA 用)
SPI フラッシュ書込み		専用ピン
Ethernet		10BASE-T/100BASE-TX
シリアル		UART 115.2kbps
タイマ		2ch(1ch は OS で使用)
フリー I/O ピン		86 ピン
リセット機能		ソフトウェアリセット
電源		電圧：3.3V±3% 消費電力：1.2W typ.(プロセッサ動作時)
使用温度範囲		0℃~60℃
基板サイズ		72×47mm

4.3. 全体ブロック図

SZ130-U00 の全体ブロック図を以下に示します。本構成は、μCLinux を動作させる最小構成です。

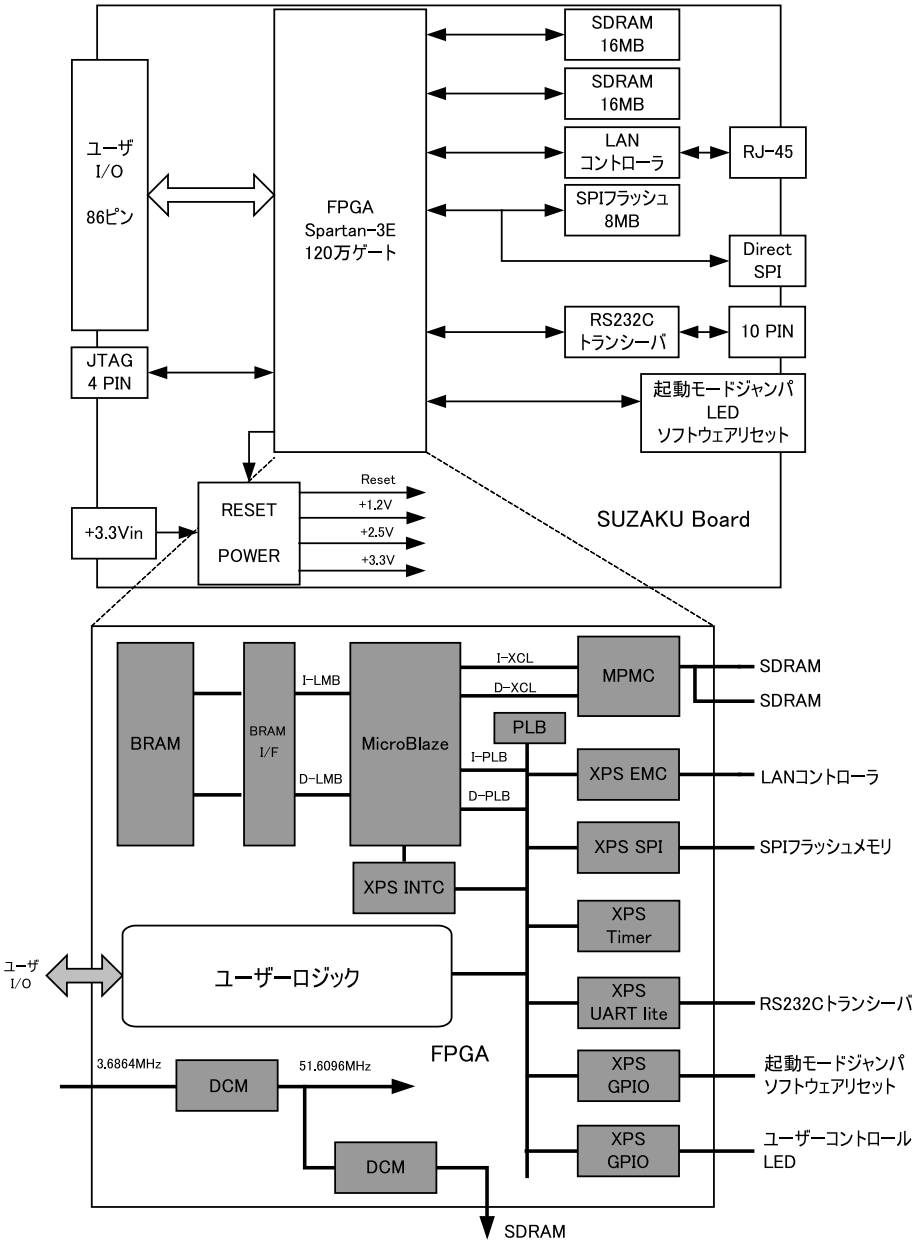


図 4.1 SZ130-U00 ブロック図

4.4. 機能

4.4.1. プロセッサ

FPGA 内部で MicroBlaze を使用しています。MicroBlaze の概要を以下に示します。

・ 32 ビット RISC プロセッサ

・ 32 ビット固定長命令

・ 32 個の汎用 32bit レジスタ

・ 3 ステージパイプライン

・ 命令キャッシュとデータキャッシュ

・ ハードウェア乗算器

・ ハードウェアデバッグロジック対応

デフォルト FPGA プロジェクトの MicroBlaze のパラメータを変更した場合、Linux がブートしなくなることがあります。変更した場合は Linux のイメージを専用に作り直す必要があります。

4.4.2. バス

3 種類のバスで構成しています。

FPGA 内部 LMB	MicroBlaze と BRAM(FPGA 内部メモリ)を接続する専用バス
FPGA 内部 PLB	複数のペリフェラル IP コアを接続するバスカスタマイズを行う時は、本バスにペリフェラルコアを追加していきます
FPGA 外部バス	XPS EMC 及び MPMC を介し、外部メモリデバイスなどを接続するバス

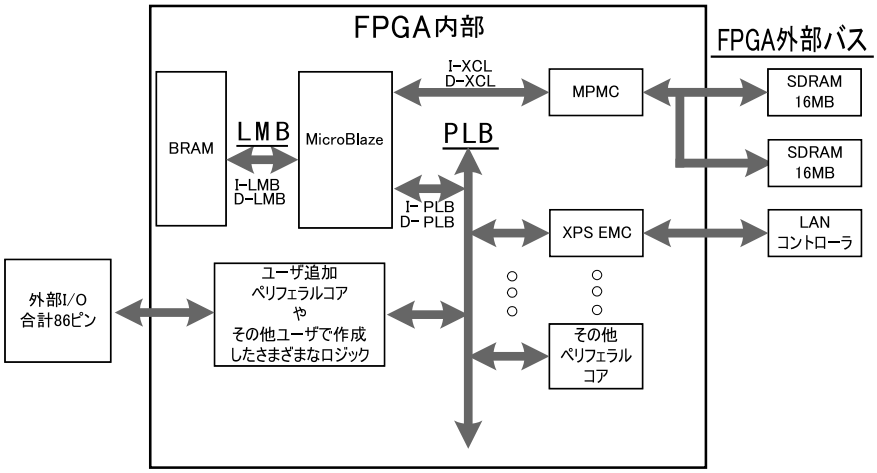


図 4.2 SZ130-U00 バス構成

4.4.3. メモリ

3 種類のメモリで構成しています。

FPGA 内部 BRAM (デフォルト 8kB)	ブートプログラム用として使用しています。起動完了後は、先頭の 32 バイト(割り込みベクタ領域)以外であれば、ユーザプログラムで使用することもできます。

FPGA 外部 SPI フラッシュメモリ	8MB を実装しています。高機能ブートローダや Linux システム、FPGA コンフィグデータなどのデータ保存に使用しています。XPS SPI を使用し、PLB と接続しています。
FPGA 外部 SDRAM 16MB×2 枚	Linux のメインメモリとして使用しています。MPMC を使用し、PLB と接続しています。また、2 枚の SDRAM の信号線は、完全に 2 つに分離して、FPGA と接続されています。よって、FPGA のプログラムによっては、下記のような使い方ができます。

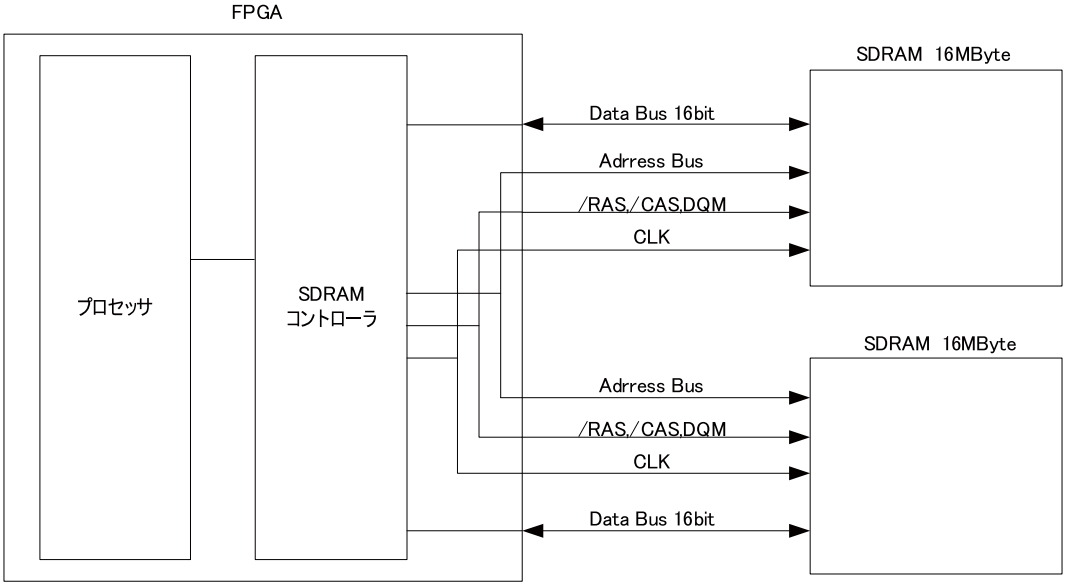


図 4.3 SUZAKU のデフォルト 単プロセッサ 32MB Data32bit 幅での使用

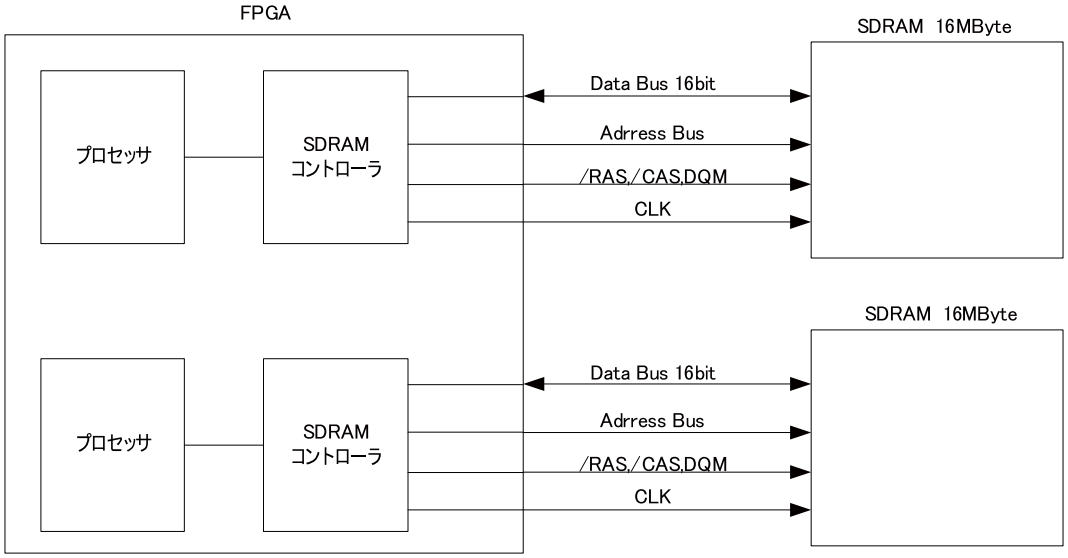


図 4.4 プロセッサ 16MB Data16bit 幅 + プロセッサ 16MB Data16bit 幅での使用

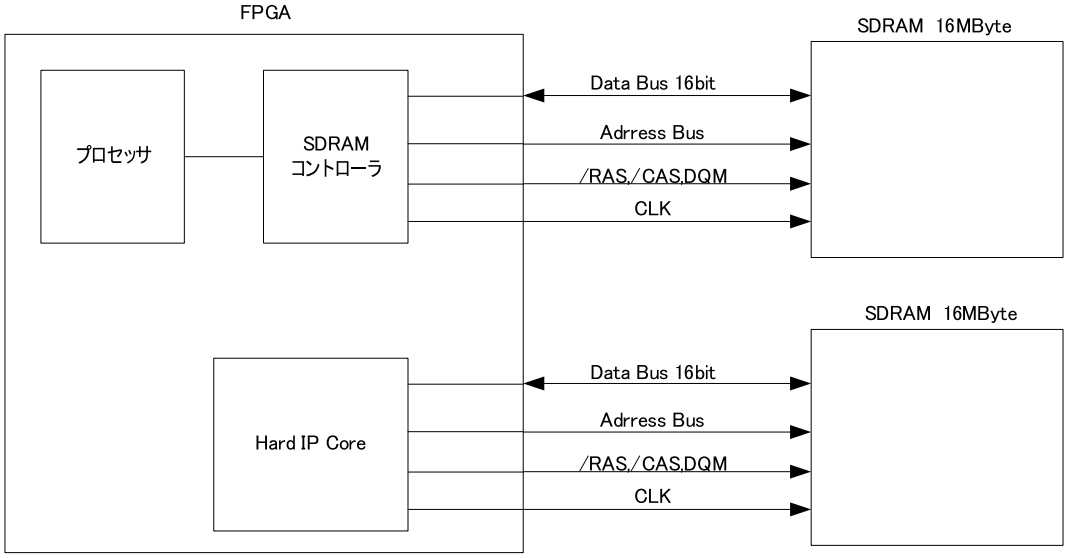


図 4.5 プロセッサ 16MB Data16bit 幅 + Hard IP Core での使用

4.4.4. 割り込み

OS 用割り込みコントローラに、FPGA 内部で XPS INTC を使用しています。

4.4.5. タイマ

OS 用タイマに、FPGA 内部で XPS Timer を使用しています。

4.4.6. シリアルコンソール

OS 用シリアルコンソールに、FPGA 内部で XPS UART lite を使用しています。XPS UART lite は RS-232C トランシーバを介し、コネクタ(CON1)に接続しています。また、RS-232C トランシーバは、4 チャンネルタイプのものを使用しており、このうち 2 チャンネルを OS 用シリアルコンソールで使用し、残り 2 チャンネルは未使用となっています。これらの未使用の信号に GPIO やユーザロジックを接続してフロー制御をしたり、別の XPS UART lite を接続して 2 ポート目の UART とすることも可能です。

表 4.2 シリアルコンソールの設定

項目	設定
転送レート	115.2kbps
データ長	8bit
ストップ bit	1bit
フロー制御	なし

4.4.7. LAN

LAN コントローラは、FPGA 外部に SMSC 社の LAN9115 を実装しています。LAN9115 は、XPS EMC を使用し、PLB と接続しています。RJ-45 コネクタを実装しており、市販の LAN ケーブル(UTP)が接続できます。

4.4.8. 外部 I/O

ユーザが自由に使用できる外部 I/O を 86 ピン実装しています(CON2、CON3、CON4、CON5)[1]。外部 I/O は、全て FPGA のフリー I/O ピンと直接接続しています。FPGA の I/O 用電源(VCCO)は、全て内部ロジック用電源+3.3V から供給しています。I/O 電圧や駆動電流などの規定値については、「Spartan-3E データシート」をご参照ください。

内部ロジック用電源+3.3V は、シーケンス回路及びディレー回路により立ち上がりに最大 20msec の時間がかかります。よって外部 I/O と接続するデバイスは、ラッチアップ等を起こさないために、本ボードの内部ロジック用電源+3.3V 出力を使用するか(内部ロジック用電源出力+3.3V を参照ください)、バッファデバイス等が必要になります。

4.4.9. FPGA コンフィギュレーション

SPI コンフィギュレーションを採用しています。SPI フラッシュメモリは、M25P64(ST マイクロエレクトロニクス製)を使用しています。SPI フラッシュメモリの書換えには、弊社提供の SPI Writer をご使用ください。SPI Writer は SPI フラッシュメモリの先頭から 1MB まで消去し、コンフィギュレーションデータを書き込む SUZAKU の SPI フラッシュメモリ専用の書き込みツールです。SUZAKU は SPI フラッシュメモリにソフトウェアのデータやその他データを保存しており、これらのデータを壊さないために専用ツールで書き込みます。SUZAKU は SPI フラッシュメモリにソフトウェアのデータやその他データを保存しており、これらのデータを壊さないために専用ツールで書き込みます。

SPI フラッシュメモリの書き込みツールとしては iMPACT の DirectSPI もあります。ただし、DirectSPI は SPI フラッシュメモリのデータを全消去して、コンフィギュレーションデータを書き込むツールであるため、SUZAKU の SPI フラッシュメモリに書き込む際には注意が必要となります。

SPI_Writer.exe のインストールや使い方については、付属 CD-ROM の"\suzaku\tools\spi_writer-yyyymmdd.zip" [2]をご参照ください。

[1]コネクタは実装されていません
[2]yyyymmdd:更新日

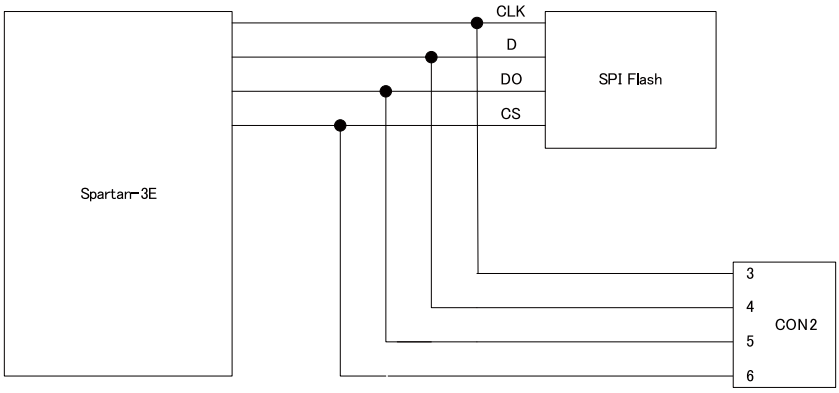
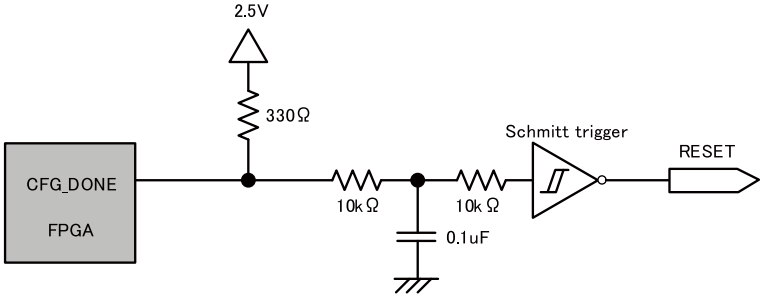


図 4.6 FPGA コンフィギュレーション

4.4.10. リセット信号

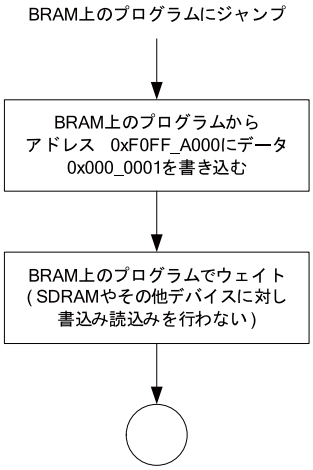
FPGA から出力される CFG_DONE 信号と以下の回路により、リセット信号を生成しています。CFG_DONE 信号は、FPGA コンフィギュレーション時に Low、コンフィギュレーション終了後に High となり、リセット信号は Active High の信号となります。FPGA のシステムリセット信号、各デバイス IC に接続しています。



4.4.11. ソフトウェアリセット機能

ソフトウェアリセットを実行すると、フラッシュメモリからコンフィギュレーションデータの再読み込みが行われ、FPGA のコンフィギュレーションが実行され、各デバイス IC へリセットが出力されます。

ソフトウェアリセットは、Linux の reboot コマンドを使用するか、BRAM 上のプログラムから、直接アドレス 0xFFFF_A000 にデータ 0x0000_0001 を書き込むことにより実行できます。BRAM 上のプログラムから直接ソフトウェアリセットを実行する場合は、SDRAM やその他デバイスに対し書込み読込み (プログラムの実行を含む) を行わないでください。



ソフトウェアリセット発生

BRAM上のプログラムから直接ソフトウェアリセットを実行する場合

4.4.12. JTAG

FPGA 用 JTAG コネクタ (CON7)	FPGA 用 JTAG コネクタです[1]。FPGA の JTAG ピンと直接接続されています。本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。また、TMS、TDI、TCK は、本ボード内で 4.7kΩ を介し+2.5V にプルアップされています。

4.4.13. 設定用ジャンパ

設定用ジャンパには、以下の 2 種類があります。

起動モードジャンパ (JP1, Spartan-3E の F5 と接続しています)	起動モードを切り替えるジャンパです。オープンでオートブートします。ショートでブートローダモードになります。(起動モードについての詳細はソフトウェアマニュアルを参照してください)
FPGA プログラム用ジャンパ (JP2 , Spartan-3E の T3 INIT_B と接続しています)	SPI フラッシュメモリにプログラムする時に使用するジャンパです。オープンでノーマルブートします。(電源再投入時、本ジャンパをショートすると、FPGA に対しコンフィギュレーションを停止させることができ、その時に SPI フラッシュメモリにプログラムできます)

4.4.14. LED

LED には、以下の 2 種類があります。

パワーオン LED 緑 (D3)	本ボードに 3.3V が供給されると点灯します。
ユーザコントロール LED 赤 (D1, Spartan-3E の T3 INIT_B と接続しています)	ユーザコントロール可能な LED です。"LO"レベルで点灯します。FPGA と接続しています。

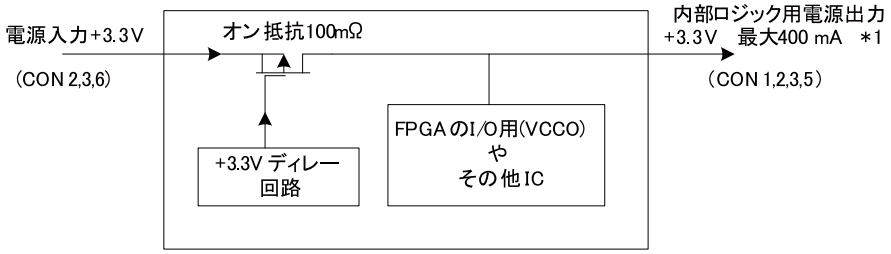
4.4.15. 電源入力+3.3V

CON2、CON3 及び CON6 の"電源入力+3.3V"から、本ボードへの電源供給が可能です。+3.3V は、精度±3%で、単調増加としてください。極度に短い間隔でのオン/オフ繰り返しは行わないでください。また、入力には積層セラミックコンデンサ 22μF を実装しています。

[1]コネクタは実装されていません

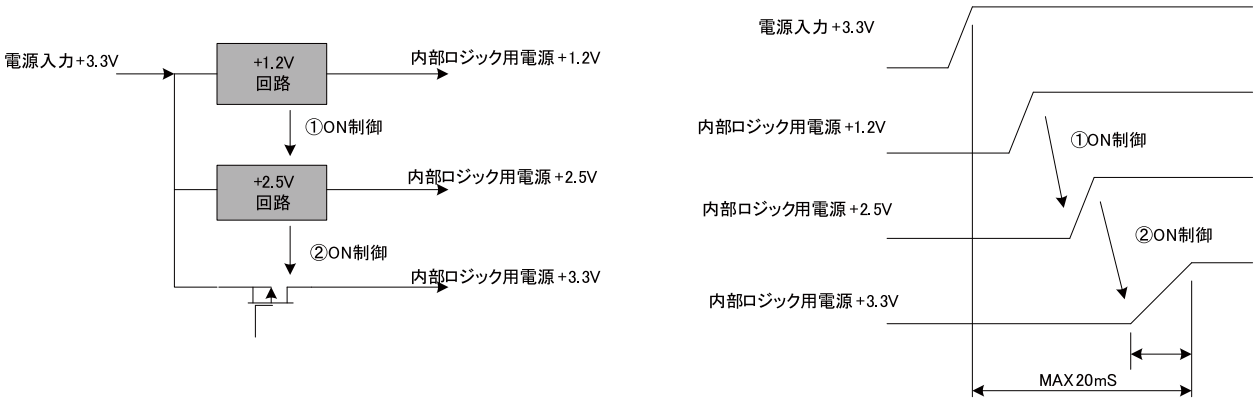
4.4.16. 内部ロジック用電源出力+3.3V

内部ロジック用電源+3.3V は、FPGA の I/O(VCCO)やその他 IC に供給している電源です。CON1、CON2、CON3、CON5 から、外部のデバイスに合計最大 400mA[1]の電源供給が可能です。外部のデバイスの負荷変動が大きい場合、電源入力+3.3V の応答によっては、電圧変動が発生することがあります。



4.4.17. 内部電源シーケンス

内部電源は、以下のようなシーケンスで立ち上がります。



[1]外部 I/O から信号を出力する場合は、合計最大電流 = 400mA－外部 I/O 信号の出力電流となります。

5.メモリマップ

5.1. SZ130-U00 メモリマップ

本ボードのメモリマップは次の通りです。本構成は、uCLinux を動作させる最小構成です。

表 5.1 SZ130-U00 メモリマップ

Start Address	End Address	ペリフェラル	デバイス
0x0000 0000	0x0000 1FFF	BRAM	
0x0000 2000	0x7FFF FFFF	Reserved	
0x8000 0000	0x8200 FFFF	MPMC	SDRAM 32MB
0x8201 0000	0xFEFF FFFF	Free	
0xFF00 0000	0xFF00 01FF	XPS-SPI	SPI フラッシュメモリ 8MB
0xFF00 0200	0xFFDF FFFF	Free	
0xFFE0 0000	0xFFE0 FFFF	XPS-EMC	LAN コントローラ
0xFFE1 0000	0xFFFF 0FFF	Free	
0xFFFF 1000	0xFFFF 10FF	XPS-Timer	
0xFFFF 1100	0xFFFF 1FFF	Free	
0xFFFF 2000	0xFFFF 20FF	XPS-UART lite	RS-232C
0xFFFF 2100	0xFFFF 2FFF	Free	
0xFFFF 3000	0xFFFF 30FF	XPS-Interrupt Controller	
0xFFFF 3100	0xFFFF 9FFF	Free	
0xFFFF A000	0xFFFF A1FF	XPS-GPIO	ブートモードジャンパ ソフトウェアリセット
0xFFFF A200	0xFFFF A3FF	XPS-GPIO	LED
0xFFFF A400	0xFFFF FFFF	Free	

6.FPGA ピンアサイン

FPGA(Xilinx Spartan-3E XC3S1200E FG320)の全ピンアサインを示します。

表 6.1 FPGA ピンアサイン 外部 I/O 関連(1/3)

番号	バンク	信号名	I/O	用途	接続先
B11	0	IOh_0	I/O	外部 I/O	(7 項参照)
A11	0	IOc_0	I/O	〃	〃
A16	0	IO_L01N_0	I/O	〃	〃
B16	0	IO_L01P_0	I/O	〃	〃
C14	0	IO_L03N_0	I/O	〃	〃
D14	0	IO_L03P_0	I/O	〃	〃
A14	0	IO_L04N_0	I/O	〃	〃
B14	0	IO_L04P_0	I/O	〃	〃
E12	0	IO_L06N_0	I/O	〃	〃
F12	0	IO_L06P_0	I/O	〃	〃
F11	0	IO_L08N_0	I/O	〃	〃
E11	0	IO_L08P_0	I/O	〃	〃
D11	0	IO_L09N_0	I/O	〃	〃
C11	0	IO_L09P_0	I/O	〃	〃
E10	0	IO_L11N_0/GCLK5	I/O	〃	〃
D10	0	IO_L11P_0/GCLK4	I/O	〃	〃
A10	0	IO_L12N_0	I/O	〃	〃
B10	0	IO_L12P_0	I/O	〃	〃
D9	0	IO_L14N_0/GCLK11	I/O	〃	〃
C9	0	IO_L14P_0/GCLK10	I/O	〃	〃
F9	0	IO_L15N_0	I/O	〃	〃
E9	0	IO_L15P_0	I/O	〃	〃
T17	1	IO_L01N_1	I/O	〃	〃
U18	1	IO_L01P_1	I/O	〃	〃
T18	1	IO_L02N_1	I/O	〃	〃
R18	1	IO_L02P_1	I/O	〃	〃
R16	1	IO_L03N_1	I/O	〃	〃
R15	1	IO_L03P_1	I/O	〃	〃
M13	1	IO_L05N_1	I/O	〃	〃
M14	1	IO_L05P_1	I/O	〃	〃
P18	1	IO_L06N_1	I/O	〃	〃
P17	1	IO_L06P_1	I/O	〃	〃

表 6.2 FPGA ピンアサイン 外部 I/O 関連(2/3)

番号	バンク	信号名	I/O	用途	接続先
M16	1	IO_L07P_1	I/O	外部 I/O	(7 項参照)
M15	1	IO_L07N_1	I/O	〃	〃
M18	1	IO_L08N_1	I/O	〃	〃
N18	1	IO_L08P_1	I/O	〃	〃
L15	1	IO_L09N_1	I/O	〃	〃
L16	1	IO_L09P_1	I/O	〃	〃
L17	1	IO_L10N_1	I/O	〃	〃
L18	1	IO_L10P_1	I/O	〃	〃
K12	1	IO_L15P_1	I/O	〃	〃
K13	1	IO_L11P_1	I/O	〃	〃
K14	1	IO_L12N_1	I/O	〃	〃
K15	1	IO_L12P_1	I/O	〃	〃
J16	1	IO_L13N_1	I/O	〃	〃
J17	1	IO_L13P_1	I/O	〃	〃
J14	1	IO_L14N_1	I/O	〃	〃
J15	1	IO_L14P_1	I/O	〃	〃
J13	1	IO_L15N_1	I/O	〃	〃
J12	1	IO_L15P_1	I/O	〃	〃
H17	1	IO_L16N_1	I/O	〃	〃
H16	1	IO_L16P_1	I/O	〃	〃
H15	1	IO_L17N_1	I/O	〃	〃
H14	1	IO_L17P_1	I/O	〃	〃
G16	1	IO_L18N_1	I/O	〃	〃
G15	1	IO_L18P_1	I/O	〃	〃
F17	1	IO_L19N_1	I/O	〃	〃
F18	1	IO_L19P_1	I/O	〃	〃
G13	1	IO_L20N_1	I/O	〃	〃
G14	1	IO_L20P_1	I/O	〃	〃
F14	1	IO_L21N_1	I/O	〃	〃
F15	1	IO_L21P_1	I/O	〃	〃
D16	1	IO_L23N_1	I/O	〃	〃
D17	1	IO_L23P_1	I/O	〃	〃
C17	1	IO_L24N_1	I/O	〃	〃
C18	1	IO_L24P_1	I/O	〃	〃

表 6.3 FPGA ピンアサイン 外部 I/O 関連(3/3)

番号	バンク	信号名	I/O	用途	接続先
T15	2	IOf_2	I/O	外部 I/O	(7 項参照)
R14	2	IO_L24N_2	I/O	〃	〃
J2	3	IO_L12N_3	I/O	〃	〃
J1	3	IO_L12P_3	I/O	〃	〃

番号	バンク	信号名	I/O	用途	接続先
K4	3	IO_L13N_3	I/O	〃	〃
K3	3	IO_L13P_3	I/O	〃	〃
K5	3	IO_L14N_3	I/O	〃	〃
K6	3	IO_L14P_3	I/O	〃	〃
L2	3	IO_L15N_3	I/O	〃	〃
L1	3	IO_L15P_3	I/O	〃	〃
L4	3	IO_L16N_3	I/O	〃	〃
L3	3	IO_L16P_3	I/O	〃	〃
L5	3	IO_L17N_3	I/O	〃	〃
L6	3	IO_L17P_3	I/O	〃	〃
M3	3	IO_L18N_3	I/O	〃	〃
M4	3	IO_L18P_3	I/O	〃	〃
M6	3	IO_L19N_3	I/O	〃	〃
M5	3	IO_L19P_3	I/O	〃	〃
N5	3	IO_L20N_3	I/O	〃	〃
N4	3	IO_L20P_3	I/O	〃	〃

表 6.4 FPGA ピンアサイン 内部デバイス関連(1/3)

番号	バンク	信号名	I/O	用途	接続先
E13	0	FPGA_RESET_EN	O	自己リセット出力	リセット回路
T3	2	IO_L01N_2/INIT_B	I/O	INIT_B ユーザコントロール LED	INIT_B ユーザコントロール LED
U10	2	SYSCLK	I	システムクロック入力	発振器 3.6864MHz
D3	3	RESET	I	システムリセット入力	リセット回路
F5	3	JP_SET	I	ブートモード検出	JP1
B9	0	SD0_CLK	I	SDRAM クロック DCM フィードバック用入力	SDRAM #0
T8	2	SD0_CLK	O	SDRAM クロック出力	SDRAM #0
E2	3	SD0_RASb	O	SDRAM RAS[1]	SDRAM #0
D1	3	SD0_CASb	O	SDRAM CAS[1]	SDRAM #0
C2	3	SD0_DQML	O	SDRAM DQML	SDRAM #0
C1	3	SD0_DQMH	O	SDRAM DQMH	SDRAM #0
D2	3	SD0_WEb	O	SDRAM WE[1]	SDRAM #0
F1	3	SD0_BA0	O	SDRAM BA0	SDRAM #0
G5	3	SD0_BA1	O	SDRAM BA1	SDRAM #0
H5	3	SD0_A0	O	SDRAM アドレスバス	SDRAM #0
H3	3	SD0_A1	O	SDRAM アドレスバス	SDRAM #0
H1	3	SD0_A2	O	SDRAM アドレスバス	SDRAM #0
J4	3	SD0_A3	O	SDRAM アドレスバス	SDRAM #0
J5	3	SD0_A4	O	SDRAM アドレスバス	SDRAM #0
H2	3	SD0_A5	O	SDRAM アドレスバス	SDRAM #0
H4	3	SD0_A6	O	SDRAM アドレスバス	SDRAM #0
H6	3	SD0_A7	O	SDRAM アドレスバス	SDRAM #0
G4	3	SD0_A8	O	SDRAM アドレスバス	SDRAM #0
G6	3	SD0_A9	O	SDRAM アドレスバス	SDRAM #0
G3	3	SD0_A10	O	SDRAM アドレスバス	SDRAM #0
F2	3	SD0_A11	O	SDRAM アドレスバス	SDRAM #0
E1	3	Reserved			
A8	0	SD0_DQ0	I/O	SDRAM データバス	SDRAM #0
F8	0	SD0_DQ1	I/O	SDRAM データバス	SDRAM #0
D7	0	SD0_DQ2	I/O	SDRAM データバス	SDRAM #0
F7	0	SD0_DQ3	I/O	SDRAM データバス	SDRAM #0
B6	0	SD0_DQ4	I/O	SDRAM データバス	SDRAM #0
B4	0	SD0_DQ5	I/O	SDRAM データバス	SDRAM #0
D5	0	SD0_DQ6	I/O	SDRAM データバス	SDRAM #0
C3	0	SD0_DQ7	I/O	SDRAM データバス	SDRAM #0
C4	0	SD0_DQ8	I/O	SDRAM データバス	SDRAM #0
A4	0	SD0_DQ9	I/O	SDRAM データバス	SDRAM #0
C5	0	SD0_DQ10	I/O	SDRAM データバス	SDRAM #0

[1]基板上で SDRAM #0 の CKE はプルアップ、CS*はプルダウンされております。

表 6.5 FPGA ピンアサイン 内部デバイス関連(2/3)

番号	バンク	信号名	I/O	用途	接続先
A6	0	SD0_DQ11	I/O	SDRAM データバス	SDRAM #0
E7	0	SD0_DQ12	I/O	SDRAM データバス	SDRAM #0
C7	0	SD0_DQ13	I/O	SDRAM データバス	SDRAM #0
E8	0	SD0_DQ14	I/O	SDRAM データバス	SDRAM #0
G9	0	SD0_DQ15	I/O	SDRAM データバス	SDRAM #0
D4	3	SD1_RASb	O	SDRAM RAS[1]	SDRAM #1
B3	0	SD1_CASb	O	SDRAM CAS[1]	SDRAM #1
E6	0	SD1_WEb	O	SDRAM WE[1]	SDRAM #1
A7	0	SD1_DQML	O	SDRAM QDML	SDRAM #1
D6	0	SD1_DQMH	O	SDRAM QDMH	SDRAM #1
B8	0	SD1_CLK	I	SDRAM クロック DCM フィードバック用入力	SDRAM #1
U9	2	SD1_CLK	O	SDRAM クロック出力	SDRAM #1
V11	2	SD1_BA0	O	SDRAM バンク	SDRAM #1
M10	2	SD1_BA1	O	SDRAM バンク	SDRAM #1
T16	2	SD1_A0	O	SDRAM アドレスバス	SDRAM #1
N14	1	SD1_A1	O	SDRAM アドレスバス	SDRAM #1
E16	1	SD1_A2	O	SDRAM アドレスバス	SDRAM #1
E15	1	SD1_A3	O	SDRAM アドレスバス	SDRAM #1
D13	0	SD1_A4	O	SDRAM アドレスバス	SDRAM #1
N15	1	SD1_A5	O	SDRAM アドレスバス	SDRAM #1
P16	1	SD1_A6	O	SDRAM アドレスバス	SDRAM #1
U15	2	SD1_A7	O	SDRAM アドレスバス	SDRAM #1
U13	2	SD1_A8	O	SDRAM アドレスバス	SDRAM #1
P12	2	SD1_A9	O	SDRAM アドレスバス	SDRAM #1
V15	2	SD1_A10	O	SDRAM アドレスバス	SDRAM #1
E3	3	SD1_A11	O	SDRAM アドレスバス	SDRAM #1
E4	3	Reserved			
T2	3	SD1_DQ0	I/O	SDRAM データバス	SDRAM #1
T1	3	SD1_DQ1	I/O	SDRAM データバス	SDRAM #1
R2	3	SD1_DQ2	I/O	SDRAM データバス	SDRAM #1
P2	3	SD1_DQ3	I/O	SDRAM データバス	SDRAM #1
T5	2	SD1_DQ4	I/O	SDRAM データバス	SDRAM #1
V5	2	SD1_DQ5	I/O	SDRAM データバス	SDRAM #1
V6	2	SD1_DQ6	I/O	SDRAM データバス	SDRAM #1
V7	2	SD1_DQ7	I/O	SDRAM データバス	SDRAM #1
N12	2	SD1_DQ8	I/O	SDRAM データバス	SDRAM #1
U4	2	SD1_DQ9	I/O	SDRAM データバス	SDRAM #1
R3	3	SD1_DQ10	I/O	SDRAM データバス	SDRAM #1
P3	3	SD1_DQ11	I/O	SDRAM データバス	SDRAM #1
P4	3	SD1_DQ12	I/O	SDRAM データバス	SDRAM #1

[1]基板上で SDRAM #1 の CKE はプルアップ、CS*はプルダウンされております。

表 6.6 FPGA ピンアサイン 内部デバイス関連(3/3)

番号	バンク	信号名	I/O	用途	接続先
U6	2	SD1_DQ13	I/O	SDRAM データバス	SDRAM #1
P1	3	SD1_DQ14	I/O	SDRAM データバス	SDRAM #1
U5	2	SD1_DQ15	I/O	SDRAM データバス	SDRAM #1
C12	0	CNSL_RXD	I	コンソール RXD	RS-232C トランシーバ = CON1
A13	0	CNSL_TXD	O	コンソール TXD	RS-232C トランシーバ = CON1
D12	0	CNSL_CTS	I	コンソール CTS	RS-232C トランシーバ = CON1
B13	0	CNSL_RTS	O	コンソール RTS	RS-232C トランシーバ = CON1
A12	0	CSb	O	LAN9115 CS[1]	LAN9115
V14	2	IRQb	I	LAN9115 IRQ[1]	LAN9115
P13	2	WRb	O	LAN9115 WR[1]	LAN9115
T14	2	RDb	O	LAN9115 RD[1]	LAN9115
P8	2	A1	O	LAN9115 アドレスバス	LAN9115
R8	2	A2	O	LAN9115 アドレスバス	LAN9115
N7	2	A3	O	LAN9115 アドレスバス	LAN9115
P7	2	A4	O	LAN9115 アドレスバス	LAN9115
P6	2	A5	O	LAN9115 アドレスバス	LAN9115
R6	2	A6	O	LAN9115 アドレスバス	LAN9115
R5	2	A7	O	LAN9115 アドレスバス	LAN9115
R13	2	D0	I/O	LAN9115 データバス	LAN9115
V13	2	D1	I/O	LAN9115 データバス	LAN9115
R12	2	D2	I/O	LAN9115 データバス	LAN9115
T12	2	D3	I/O	LAN9115 データバス	LAN9115
V12	2	D4	I/O	LAN9115 データバス	LAN9115
N11	2	D5	I/O	LAN9115 データバス	LAN9115
P11	2	D6	I/O	LAN9115 データバス	LAN9115
R11	2	D7	I/O	LAN9115 データバス	LAN9115
P10	2	D8	I/O	LAN9115 データバス	LAN9115
R10	2	D9	I/O	LAN9115 データバス	LAN9115
M9	2	D10	I/O	LAN9115 データバス	LAN9115
N9	2	D11	I/O	LAN9115 データバス	LAN9115
P9	2	D12	I/O	LAN9115 データバス	LAN9115
R9	2	D13	I/O	LAN9115 データバス	LAN9115
V9	2	D14	I/O	LAN9115 データバス	LAN9115
N8	2	D15	I/O	LAN9115 データバス	LAN9115
U3	2	FR_CSb	O	SPI フラッシュ CS[1]	SPI フラッシュ
T4	2	FR_D	O	SPI フラッシュ データイン	SPI フラッシュ
U16	2	FR_CLK	O	SPI フラッシュ クロック	SPI フラッシュ
N10	2	FR_DO	O	SPI フラッシュ データアウト	SPI フラッシュ

表 6.7 FPGA ピンアサイン 内部デバイス関連(4/4)

番号	バンク	信号名	I/O	用途	接続先
B1		PROG_B PWR_RESETb	I	コンフィギュレーション PROG_B	リセット回路
A17		TCK FPGA_TCK	O	JTAG	CON7
A2		TDI FPGA_TDI	O	JTAG	CON7
C16		TDO FPGA_TDO	I	JTAG	CON7
D15		TMS FPGA_TMS	O	JTAG	CON7
T10		CFG_M2	I	M2	プルアップ

MicroBlaze はバスアーキテクチャとして IBM の CoreConnect を採用しています。CoreConnect のバスおよびレジスタビットの命名規則で MSB 側がビット(0)に定義されています。よって、SDRAM データバス、SDRAM アドレスバス、SDRAM バンク、LAN9115 アドレスバス、SDRAM データバスの VHDL バス記述は、MSB 側がビット(0)となっています。このため、LSB 側がビット(0)に定義されている外部デバイスと比べビットラベルが逆になります。上記表は通常の外部デバイスに接続するときのビットラベル(LSB 側がビット(0))で表記しています。アサイン時には十分ご注意ください。

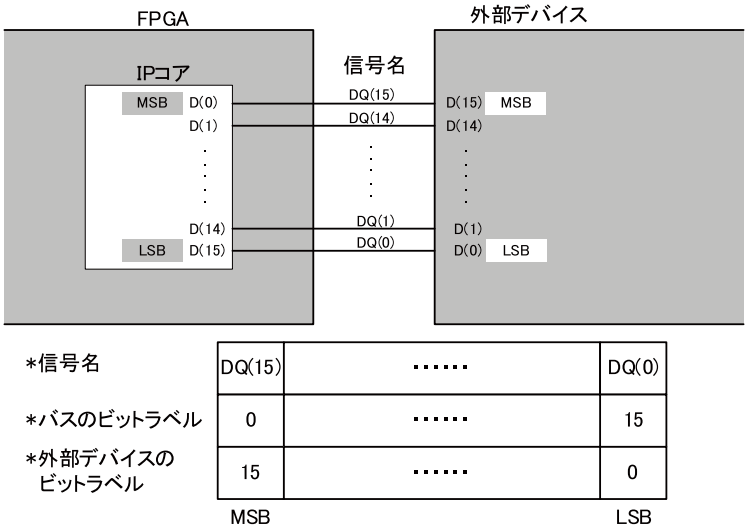


図 6.1 CoreConnect のビットラベルと信号名

7.各種インターフェース仕様

7.1. 各種インターフェースの配置

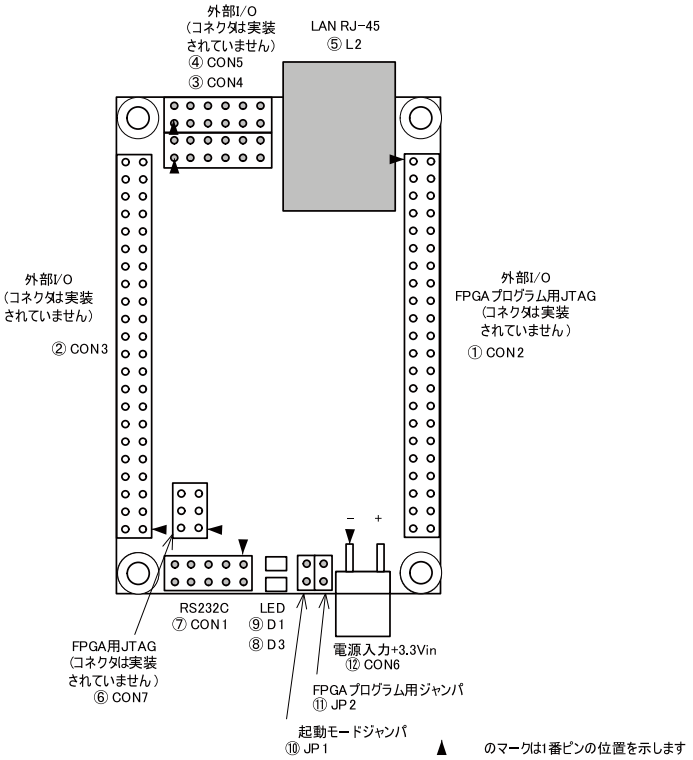


図 7.1 各種インターフェースの配置

表 7.1 各種インターフェースの内容

	部品番号	説明
①	CON2	外部 I/O 、SPI フラッシュプログラム用コネクタ Total I/Os 32PIN [1]
②	CON3	外部 I/O コネクタ Total I/Os 34PIN [1]
③	CON4	外部 I/O コネクタ Total I/Os 10PIN [1]
④	CON5	外部 I/O コネクタ Total I/Os 10PIN [1]
⑤	L2	Ethernet 10BASE-T/100BASE-TX コネクタ
⑥	CON7	FPGA JTAG コネクタ
⑦	CON1	RS-232C コネクタ
⑧	D3	パワーオン LED 緑
⑨	D1	ユーザコントロール LED 赤
⑩	JP1	起動モードジャンパ
⑪	JP2	FPGA プログラム用ジャンパ
⑫	CON6	電源入力+3.3V コネクタ

[1]外部 I/O ピンは FPGA と直結されているため、コンフィギュレーション中はハイインピーダンス状態となります。コンフィギュレーション後は設定値により任意の状態となります。

7.2. CON1 RS-232C

RS-232C コネクタです。レベルバッファを介して、FPGA と接続されています。ボード側で使用しているコネクタ型式/メーカは、A1-10PA-2.54DSA/ヒロセ(相当品)です。

表 7.2 シリアルコンソールの設定

項目	設定
転送レート	115.2kbps
データ長	8bit
パリティ	なし
ストップ bit	1bit
フロー制御	なし

表 7.3 CON1 RS-232C

番号	信号名	I/O	機能
1			空き
2			空き
3	RXD	I	Spartan3E 接続ピン番号 C12(シリアルコンソール用)
4	RTS	O	Spartan3E 接続ピン番号 B13
5	TXD	O	Spartan3E 接続ピン番号 A13(シリアルコンソール用)
6	CTS	I	Spartan3E 接続ピン番号 D12
7			空き
8			空き
9	GND		グランド
10	+3.3VOUT	O	内部ロジック用電源出力+3.3V

7.3. CON2 外部 I/O、SPI フラッシュ用コネクタ

外部 I/O 及び SPI フラッシュ用コネクタです。LED/SW ボードの CON2 とコネクタ接続します。

表 7.4 CON2 外部 I/O、SPI フラッシュ用コネクタ

番号	信号名	I/O	機能
1	GND		グランド
2	+3.3VOUT	O	内部ロジック用電源出力+3.3V
3	CLK	I	SPI フラッシュプログラム用
4	D	I	SPI フラッシュプログラム用
5	DO	O	SPI フラッシュプログラム用
6	nCS	I	SPI フラッシュプログラム用
7	IO_L20N_3	I/O	外部 I/O Spartan3E 接続ピン番号 N5
8	IO_L20P_3	I/O	外部 I/O Spartan3E 接続ピン番号 N4
9	IO_L19N_3	I/O	外部 I/O Spartan3E 接続ピン番号 M6
10	IO_L19P_3	I/O	外部 I/O Spartan3E 接続ピン番号 M5
11	IO_L18N_3	I/O	外部 I/O Spartan3E 接続ピン番号 M3
12	IO_L18P_3	I/O	外部 I/O Spartan3E 接続ピン番号 M4

番号	信号名	I/O	機能
13	IO_L17N_3	I/O	外部 I/O Spartan3E 接続ピン番号 L5
14	IO_L17P_3	I/O	外部 I/O Spartan3E 接続ピン番号 L6
15	IO_L16N_3	I/O	外部 I/O Spartan3E 接続ピン番号 L4
16	IO_L16P_3	I/O	外部 I/O Spartan3E 接続ピン番号 L3
17	IO_L15N_3	I/O	外部 I/O Spartan3E 接続ピン番号 L2
18	IO_L15P_3	I/O	外部 I/O Spartan3E 接続ピン番号 L1
19	GND		グランド
20	IO_L14P_0/GCLK10	I/O	外部 I/O Spartan3E 接続ピン番号 C9
21	GND		グランド
22	IO_L14N_0/GCLK11	I/O	外部 I/O Spartan3E 接続ピン番号 D9
23	IO_L14N_3	I/O	外部 I/O Spartan3E 接続ピン番号 K5
24	IO_L14P_3	I/O	外部 I/O Spartan3E 接続ピン番号 K6
25	IO_L13N_3	I/O	外部 I/O Spartan3E 接続ピン番号 K4
26	IO_L13P_3	I/O	外部 I/O Spartan3E 接続ピン番号 K3
27	IO_L12N_3	I/O	外部 I/O Spartan3E 接続ピン番号 J2
28	IO_L12P_3	I/O	外部 I/O Spartan3E 接続ピン番号 J1
29	IO_L15N_0	I/O	外部 I/O Spartan3E 接続ピン番号 F9
30	IO_L15P_0	I/O	外部 I/O Spartan3E 接続ピン番号 E9
31	IO_L12N_0	I/O	外部 I/O Spartan3E 接続ピン番号 A10
32	IO_L12P_0	I/O	外部 I/O Spartan3E 接続ピン番号 B10
33	IO_L09N_0	I/O	外部 I/O Spartan3E 接続ピン番号 D11
34	IO_L09P_0	I/O	外部 I/O Spartan3E 接続ピン番号 C11
35	IO_L08N_0	I/O	外部 I/O Spartan3E 接続ピン番号 F11
36	IO_L08P_0	I/O	外部 I/O Spartan3E 接続ピン番号 E11
37	IO_L06N_0	I/O	外部 I/O Spartan3E 接続ピン番号 E12
38	IO_L06P_0	I/O	外部 I/O Spartan3E 接続ピン番号 F12
39	IOh_0	I/O	外部 I/O Spartan3E 接続ピン番号 B11
40	IOc_0	I/O	外部 I/O Spartan3E 接続ピン番号 A11
41	GND		グランド
42	GND		グランド
43	+3.3VIN	I	電源入力+3.3V
44	+3.3VIN	I	電源入力+3.3V

7.4. CON3 外部 I/O コネクタ

外部 I/O コネクタです。LED/SW ボードの CON3 とコネクタ接続します。

表 7.5 CON3 外部 I/O　用コネクタ

番号	信号名	I/O	機能
1	+3.3VIN	I	電源入力+3.3V
2	+3.3VIN	I	電源入力+3.3V
3	GND		グランド
4	GND		グランド
5	IO_L04P_0	I/O	外部 I/O Spartan3E 接続ピン番号 B14
6	IO_L04N_0	I/O	外部 I/O Spartan3E 接続ピン番号 A14
7	IO_L03P_0	I/O	外部 I/O Spartan3E 接続ピン番号 D14
8	IO_L03N_0	I/O	外部 I/O Spartan3E 接続ピン番号 C14
9	IO_L01P_0	I/O	外部 I/O Spartan3E 接続ピン番号 B16
10	IO_L01N_0	I/O	外部 I/O Spartan3E 接続ピン番号 A16
11	IO_L24P_1	I/O	外部 I/O Spartan3E 接続ピン番号 C18
12	IO_L24N_1	I/O	外部 I/O Spartan3E 接続ピン番号 C17
13	IO_L23P_1	I/O	外部 I/O Spartan3E 接続ピン番号 D17
14	IO_L23N_1	I/O	外部 I/O Spartan3E 接続ピン番号 D16
15	IO_L21P_1	I/O	外部 I/O Spartan3E 接続ピン番号 F15
16	IO_L21N_1	I/O	外部 I/O Spartan3E 接続ピン番号 F14
17	IO_L20P_1	I/O	外部 I/O Spartan3E 接続ピン番号 G14
18	IO_L20N_1	I/O	外部 I/O Spartan3E 接続ピン番号 G13
19	IO_L19P_1	I/O	外部 I/O Spartan3E 接続ピン番号 F18
20	IO_L19N_1	I/O	外部 I/O Spartan3E 接続ピン番号 F17
21	IO_L18P_1	I/O	外部 I/O Spartan3E 接続ピン番号 G15
22	IO_L18N_1	I/O	外部 I/O Spartan3E 接続ピン番号 G16
23	IO_L11N_0/GCLK5	I/O	外部 I/O Spartan3E 接続ピン番号 E10
24	GND		グランド
25	IO_L11P_0/GCLK4	I/O	外部 I/O Spartan3E 接続ピン番号 D10
26	GND		グランド
27	IO_L17P_1	I/O	外部 I/O Spartan3E 接続ピン番号 H14
28	IO_L17N_1	I/O	外部 I/O Spartan3E 接続ピン番号 H15
29	IO_L16P_1	I/O	外部 I/O Spartan3E 接続ピン番号 H16
30	IO_L16N_1	I/O	外部 I/O Spartan3E 接続ピン番号 H17
31	IO_L15P_1	I/O	外部 I/O Spartan3E 接続ピン番号 J12
32	IO_L15N_1	I/O	外部 I/O Spartan3E 接続ピン番号 J13
33	IO_L14P_1	I/O	外部 I/O Spartan3E 接続ピン番号 J15
34	IO_L14N_1	I/O	外部 I/O Spartan3E 接続ピン番号 J14
35	IO_L13P_1	I/O	外部 I/O Spartan3E 接続ピン番号 J17
36	IO_L13N_1	I/O	外部 I/O Spartan3E 接続ピン番号 J16
37	IO_L12P_1	I/O	外部 I/O Spartan3E 接続ピン番号 K15
38	IO_L12N_1	I/O	外部 I/O Spartan3E 接続ピン番号 K14

番号	信号名	I/O	機能
39	IO_L11P_1	I/O	外部 I/O Spartan3E 接続ピン番号 K13
40	IO_L11N_1	I/O	外部 I/O Spartan3E 接続ピン番号 K12
41	NC		
42	EXRESETb		未接続
43	+3.3VOUT	O	内部ロジック用電源出力+3.3V
44	GND		グランド

7.5. CON4 外部 I/O コネクタ

外部 I/O コネクタです。コネクタは実装されていません。

表 7.6 CON4 外部 I/O 用コネクタ

番号	信号名	I/O	機能
1			空き
2			空き
3	IO_L10P_1	I/O	外部 I/O Spartan3E 接続ピン番号 L18
4	IO_L10N_1	I/O	外部 I/O Spartan3E 接続ピン番号 L17
5	IO_L09P_1	I/O	外部 I/O Spartan3E 接続ピン番号 L16
6	IO_L09N_1	I/O	外部 I/O Spartan3E 接続ピン番号 L15
7	IO_L08P_1	I/O	外部 I/O Spartan3E 接続ピン番号 N18
8	IO_L08N_1	I/O	外部 I/O Spartan3E 接続ピン番号 M18
9	IO_L07P_1	I/O	外部 I/O Spartan3E 接続ピン番号 M16
10	IO_L07N_1	I/O	外部 I/O Spartan3E 接続ピン番号 M15
11	IO_L06P_1	I/O	外部 I/O Spartan3E 接続ピン番号 P17
12	IO_L06N_1	I/O	外部 I/O Spartan3E 接続ピン番号 P18

7.6. CON5 外部 I/O コネクタ

外部 I/O コネクタです。コネクタは実装されていません。

表 7.7 CON5 外部 I/O 用コネクタ

番号	信号名	I/O	機能
1	GND		グランド
2	+3.3VOUT	O	内部ロジック用電源出力 +3.3V
3	IO_L05P_1	I/O	外部 I/O Spartan3E 接続ピン番号 M14
4	IO_L05N_1	I/O	外部 I/O Spartan3E 接続ピン番号 M13
5	IO_L03P_1	I/O	外部 I/O Spartan3E 接続ピン番号 R15
6	IO_L03N_1	I/O	外部 I/O Spartan3E 接続ピン番号 R16
7	IO_L02P_1	I/O	外部 I/O Spartan3E 接続ピン番号 R18
8	IO_L02N_1	I/O	外部 I/O Spartan3E 接続ピン番号 T18
9	IO_L01P_1	I/O	外部 I/O Spartan3E 接続ピン番号 U18
10	IO_L01N_1	I/O	外部 I/O Spartan3E 接続ピン番号 T17
11	IOf_2	I/O	外部 I/O Spartan3E 接続ピン番号 T15
12	IO_L24N_2	I/O	外部 I/O Spartan3E 接続ピン番号 R14

7.7. CON6 電源入力+3.3V コネクタ

電源入力コネクタです。電源入力+3.3V は、+3.3V±3%で、単調増加としてください。CON2、CON3 の"電源入力+3.3V"とボード内部で接続されています。

ボード側で使用しているコネクタ型式/メーカは、B2PS-VH/日本圧着端子(相当品)です。ケーブル側のコネクタ型式/メーカは、ハウジング VHR-2N/日本圧着端子(相当品)、コンタクト BVH-21T-P1.1/日本圧着端子(相当品)または、BVH-41T-P1.1/日本圧着端子(相当品) が使用できます。

7.8. CON7 FPGA 用 JTAG コネクタ

FPGA 用 JTAG コネクタです。JTAG の I/O の電圧は+2.5V です。+2.5V に対応した JTAG ケーブルを使用してください。

表 7.8 CON7 Spartan3E 用 JTAG コネクタ

番号	信号名	I/O	機能
1	GND		グランド
2	+2.5VOUT	O	内部ロジック用電源出力 +2.5V
3	TCK	I	JTAG
4	TDI	I	JTAG
5	TDO	O	JTAG
6	TMS	I	JTAG

7.9. D1, D3 LED

ユーザーコントロール LED(赤)とパワー ON LED(緑)です。

表 7.9 D1、D3 LED

信号名	I/O	機能
D1	O	ユーザーコントロール LED Spartan3E 接続ピン番号 T3
D3	O	SUZAKU ボードに 3.3V が供給されると点灯

7.10. JP1, JP2 設定用ジャンパ

起動モード設定用ジャンパと FPGA プログラム用ジャンパです。

表 7.10 JP1、JP2 設定用ジャンパ

信号名	I/O	機能
JP1	I	起動モードを切り替えるジャンパです。オープンでオートブート(SUZAKU 起動時に Linux が自動的に起動)します。ショートでブートローダモード(ブートローダのみを起動する場合に使用する)になります。Spartan3E 接続ピン番号 F5
JP2		FPGA プログラム用 SPI からコンフィギュレーションデータをフラッシュメモリにプログラムするときに使用するジャンパです。ショートで FPGA コンフィギュレーションデータをフラッシュメモリにプログラムできます。(本ジャンパをショートすると、電源再投入時 FPGA に対し、コンフィギュレーションを停止させることができ、その時にフラッシュメモリにプログラムできます。)

7.11. SUZAKU L2 Ethernet 10BASE-T/100BASE-T

ボード側で使用しているコネクタ型式/メーカは、J0026D21B/PULSE です。

表 7.11 L2 Ethernet 10BASE-T/100BASE-TX

番号	信号名	I/O	機能
1	TX+		差動ツイストペア出力+
2	TX-		差動ツイストペア出力-
3	RX+		差動ツイストペア入力+
4			75Ω 終端(4 番ピンと 5 番ピンはショートしています)
5			75Ω 終端(4 番ピンと 5 番ピンはショートしています)
6	RX-		差動ツイストペア入力-
7			75Ω 終端(7 番ピンと 8 番ピンはショートしています)
8			75Ω 終端(7 番ピンと 8 番ピンはショートしています)

8.基板形状図

本ボードの基板形状図を以下に示します。

〔単位：mm〕

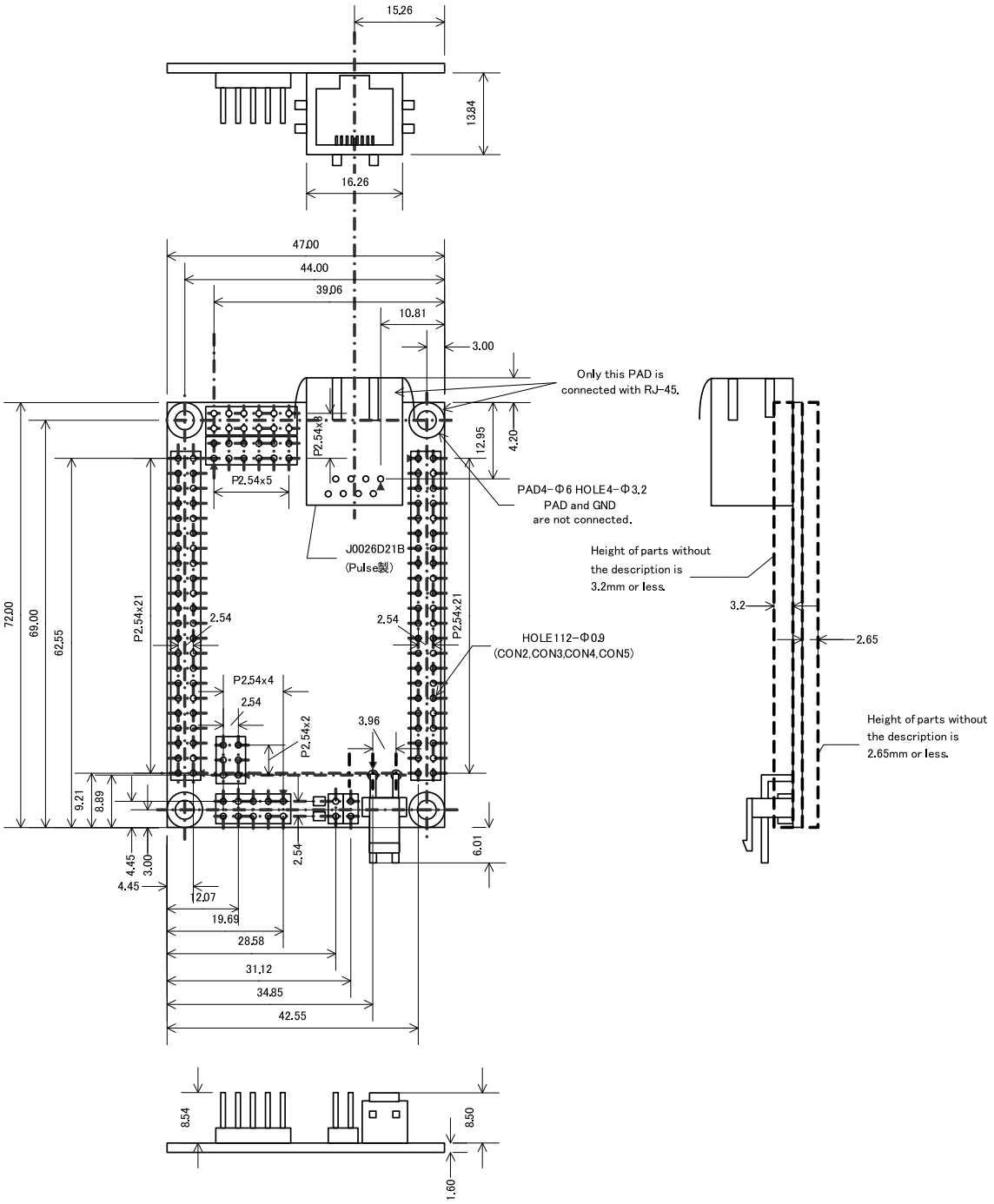


図 8.1 SZ130-U00 の基板形状

改訂履歴

バージョン	年月日	改訂内容
1.0.0	2006/07/14	・初版作成
1.0.1	2006/07/24	・ピンアサイン訂正(CON4 の 9、10 ピン)
1.0.2	2006/08/11	・CD-ROM 内容変更により、spi writer.zip のディレクトリパスを変更 ・使用温度範囲追記
1.0.3	2006/10/18	・基板外形図 詳細寸法追加 ・保証に関する注意事項追記 ・改造の際の注意事項追記 ・６項 CoreConnect の図を追加 ・外部 I/O ピンの初期状態追記
1.0.4	2006/12/15	・６項 CoreConnect 修正 ・メモリマップ修正 ・表紙デザイン改版
1.0.5	2007/08/17	・「表 5.1. SZ130-U00 メモリマップ」修正
1.0.6	2007/10/19	・保証に関する注意事項の内容変更
1.0.7	2007/12/14	・基板外形図 CON2 の 1 番ピンの位置追加
1.0.8	2008/02/15	・各種インターフェースの配置の各コネクタに 2 番ピンの情報追加 ・基板外形図修正 ・MicroBlaze のパラメータを変更した場合の注意を追記
1.0.9	2008/03/14	・各種インターフェースの配置の誤記訂正 ・表題修正
1.0.10	2008/06/11	・「6. FPGA ピンアサイン」の内容修正 　・ピンアサイン情報整理 　・SDRAM の CKE、CS*の情報追加
1.0.11	2008/09/26	・タイトルを英語表記からカタカナ表記に ・「4.4.10. リセット信号」追加
1.0.12	2008/11/29	・FG の説明を追記
1.0.13	2008/11/29	・「図 8.1. SZ130-U00 の基板形状」画像形式を SVG に変更
1.0.14	2009/03/19	・参照先を記述する際の表記を統一 ・表記ゆれを修正
1.0.15	2009/07/17	・文字が読みにくい画像の差し替え ・本文のレイアウト統一
1.0.16	2009/07/29	・製品保証に関する記載を http://www.atmark-techno.com/support/warranty-policy に移動(2009/08/03 適用)
1.0.17	2010/09/17	・「図 8.1. SZ130-U00 の基板形状」単位の位置を変更 ・表のレイアウト統一 ・表記ゆれを修正 ・「3.1. 準備するもの」作業 PC の条件とダウンロードケーブルを変更(パラレル -> USB) ・「4.3. 全体ブロック図」ブロック図変更(OPB -> PLB)とそれに伴う内容修正 ・「5.1. SZ130-U00 メモリマップ」メモリマップ変更(OPB -> PLB)

SUZAKU-S ハードウェアマニュアル
Version 1.0.17
2010/09/17

株式会社アットマークテクノ
060-0035 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F TEL 011-207-6550 FAX 011-207-6570