

SUZAKU-V

SZ310-U00

Hardware Manual

Version 1.0.0

2006年 4月 27日

株式会社アットマークテクノ
<http://www.atmark-techno.com/>

目次

1.	はじめに	1
2.	注意事項	2
2.1.	安全に関する注意事項	2
2.2.	取り扱い上の注意事項	2
2.3.	FPGA 使用に関する注意事項	3
2.4.	ソフトウェア使用に関する注意事項	3
3.	作業の前に	4
3.1.	準備するもの	4
4.	概要	5
4.1.	SUZAKU-V の特徴	5
4.2.	仕様	6
4.3.	全体ブロック図	7
4.4.	機能	8
4.4.1.	プロセッサ	8
4.4.2.	バス	8
4.4.3.	メモリ	9
4.4.4.	割り込み	9
4.4.5.	タイマ	9
4.4.6.	シリアルコンソール	9
4.4.7.	LAN	9
4.4.8.	外部 I/O	10
4.4.9.	FPGA コンフィグレーション	10
4.4.10.	ソフトウェアリセット機能	12
4.4.11.	JTAG	12
4.4.12.	設定用ジャンパ	13
4.4.13.	LED	13
4.4.14.	電源入力+3.3V	13
4.4.15.	内部ロジック用電源出力+3.3V	14
4.4.16.	内部電源シーケンス	14
5.	メモリマップ	15
5.1.	SUZAKU-V メモリマップ	15
6.	FPGA ピンアサイン	16
7.	各種インターフェース仕様	21
7.1.	各種インターフェースの配置	21
7.2.	CON2 外部 I/O、FPGA プログラム用 JTAG コネクタ	22
7.3.	CON3 外部 I/O コネクタ	23
7.4.	CON4 外部 I/O コネクタ	24
7.5.	CON5 外部 I/O コネクタ	24
7.6.	CON7 FPGA JTAG コネクタ	25
7.7.	CON1 RS232C コネクタ	25
7.8.	JP1 起動モード ジャンパ	26
7.9.	JP2 FPGA プログラム用ジャンパ	26
7.10.	D3 パワーオン LED	27
7.11.	D1 ユーザコントロール LED	27
7.12.	CON6 電源入力+3.3V コネクタ	27
7.13.	Ethernet 10/100 Base-T	28
8.	基板形状図	29
9.	FPGA プロジェクト構築方法(例 UART の追加方法)	30

9.1.	添付 CD-ROM の fpga_proj プロジェクトの展開	30
9.2.	新規プロジェクトの作成	31
9.3.	Platform Studio の設定	35
9.4.	Platform Studio コンパイルの実行	42
9.5.	プロジェクトのトップファイル編集	43
9.6.	Project Navigator コンパイルの実行	48
10.	FPGA コンフィグレーション	49
10.1.	BIT ファイルから MCS ファイルへの変換	49
10.2.	SUZAKU-V へコンフィグレーションデータのプログラム	54
10.3.	Lbplay2.EXE "ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."発生時の対処方法	56

表目次

表 4-1	SUZAKU-V 仕様	6
表 5-1	SUZAKU-V メモリマップ	15
表 5-2	FLASH メモリ 8MByte 内のメモリマップ(0xF000 0000 ~ 0xF07F FFFF)	15
表 6-1	FPGA ピンアサイン 外部 I/O 系 (1/3)	16
表 6-2	FPGA ピンアサイン 外部 I/O 系 (2/3)	17
表 6-3	FPGA ピンアサイン 内部デバイス系 (1/2)	18
表 6-4	FPGA ピンアサイン 内部デバイス系 (2/2)	19
表 6-5	FPGA ピンアサイン JTAG、コンフィグレーション系	20
表 7-1	各種インターフェースの内容	21
表 7-2	CON2 外部 I/O、FPGA プログラム用コネクタ	22
表 7-3	外部 I/O コネクタ	23
表 7-4	CON4 外部 I/O コネクタ	24
表 7-5	CON5 外部 I/O コネクタ	24
表 7-6	CON7 Virtex- Pro 用 JTAG コネクタ	25
表 7-7	CON1 RS232C コネクタ	25
表 7-8	JP1 起動モード ジャンパ	26
表 7-9	JP2 FPGA プログラム用ジャンパ	26
表 7-10	D1 ユーザコントロール LED	27
表 7-11	CON6 電源入力+3.3V コネクタ	27
表 7-12	Ethernet 10/100 Base-T	28

図目次

図 4-1	SUZAKU-V ブロック図	7
図 4-2	SUZAKU-V バス構成	8
図 4-3	FPGA コンフィグレーション	11
図 7-1	各種インターフェースの配置	21
図 8-1	SUZAKU-V の基板形状	29

1.はじめに

このたびは SUZAKU-V をお求めいただき、ありがとうございます。

本マニュアルは、SUZAKU-V のハードウェアの仕様や使用方法について書かれています。

SUZAKU-V の機能を最大限引き出すために、ご活用いただければ幸いです。

2. 注意事項

2.1. 安全に関する注意事項

SUZAKU-V を安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。



本製品には一般電子機器用(OA機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用していますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性があります。ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・ブレーカ等の保護回路の設置、装置の多重化等)に万全を期されますようお願い申し上げます。

2.2. 取り扱い上の注意事項

劣化、破損、誤動作、発煙、発火の原因となることがあります。取り扱い時には以下のような点にご注意ください。

- **入力電源**
3.3V+5%以上の電圧を入力しないでください。
極性を間違わないでください。
- **インターフェース**
各インターフェース(外部 I/O、RS232C、Ethernet、JTAG)には規定以外の信号を接続しないでください。
信号の極性を間違わないでください。
信号の入出力方向を間違わないでください。
- **改造**
外部 I/O コネクタ及び JTAG コネクタ(CON2、CON3、CON4、CON5、CON7)にコネクタ等を増設する以外の改造は行わないでください。
- **FPGA プログラム**
周辺回路(ボード上の部品も含む)と信号の衝突(同じ信号に2つのデバイスから出力する)を起こすようなFPGAプログラムを行わないでください。
FPGA のプログラムを間違わないでください。
- **電源の投入**
本ボードや周辺回路に電源が入っている状態では絶対に FPGA I/O、JTAG 用コネクタの着脱を行わないでください。
- **静電気**
本ボードには CMOS デバイスを使用していますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。

- **ラッチアップ**

電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスがラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維持されるため、デバイスの破損につながる可能性があります。ノイズの影響を受けやすい入出力ラインには保護回路を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

- **衝撃、振動**

落下や衝突などの強い衝撃を与えないでください。

振動部や回転部などへの搭載はしないでください。強い振動や遠心力を与えないでください。

- **高温低温、多湿**

極度に高温や低温になる環境や、湿度が高い環境では使用はしないでください。

- **塵埃**

塵埃の多い環境では使用はしないでください。

2.3. FPGA 使用に関する注意事項

- **本製品に含まれる FPGA プロジェクトについて**

本製品に含まれる FPGA プロジェクト(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

本製品は、ベンダのツール(Xilinx 製 EDK、ISE やその他ベンダツール)やベンダの IP コアを利用し、FPGA プロジェクトの構築、コンパイル、コンフィグレーションデータの生成を行っておりますが、これらツールに関する販売、サポート、保証等は行っておりません。

2.4. ソフトウェア使用に関する注意事項

- **本製品に含まれるソフトウェアについて**

本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結果についてもなんら保証するものではありません。

3. 作業の前に

3.1. 準備するもの

SUZAKU-V を使用する前に、次のものを準備して下さい。

- **作業用 PC**
ハードウェア開発用として、Windows2000 または、WindowsXP が動作し、シリアルポート(1 ポート)、及びパラレルポート(1 ポート)を持つ PC を用意してください。
ソフトウェア開発用として、Linux が動作し、シリアルポート(1 ポート)を持つ PC を用意してください。
ソフトウェア開発の詳細については、Software Manual を参照ください。
- **D-Sub9 ピンクロスケーブル**
D-Sub9 ピン(メス - メス)の「クロス接続用」のケーブルを用意してください。
- **D-Sub9 ピン-10 ピン変換ケーブル**
D-Sub9 ピンと本ボードのピンヘッダ(10 ピン)を接続するための、D-Sub9 ピン-10 ピン変換ケーブルを用意してください。
- **開発キット付属 CD-ROM(以降、「付属 CD」)**
SUZAKU-V に関する各種マニュアルやソースコードが収納されています。
- **シリアル通信用ソフト**
minicom や Tera Term などのシリアル通信用ソフトが必要です。(Linux 用のソフトは付属 CD の「tools」ディレクトリにあります。)
- **DC3.3V 電源**
DC3.3V 出力の電源を用意してください。
- **Xilinx ISE**
Xilinx ISE を用意してください。
詳しくは Xilinx 代理店にお問い合わせください。
- **Xilinx EDK**
Xilinx EDK を用意してください。
詳しくは Xilinx 代理店にお問い合わせください。
- **Xilinx Parallel Cable または相当**
Parallel Cable を用意してください。
詳しくは Xilinx 代理店にお問い合わせください。

4. 概要

4.1. SUZAKU-V の特徴

SUZAKU-V(朱雀)は Xilinx の FPGA「Virtex- Pro」をベースとしたボードコンピュータです。

FPGA 内にハードコアプロセッサ「PowerPC405」と周辺ペリフェラルコアを構成し、オペレーティングシステムとして Linux を採用しています。

- ソフトプロセッサと周辺ペリフェラルコアの構築

PowerPC405 や周辺ペリフェラルコアの構築は、Xilinx 社 EDK(Embedded Development Kit)を使用します。

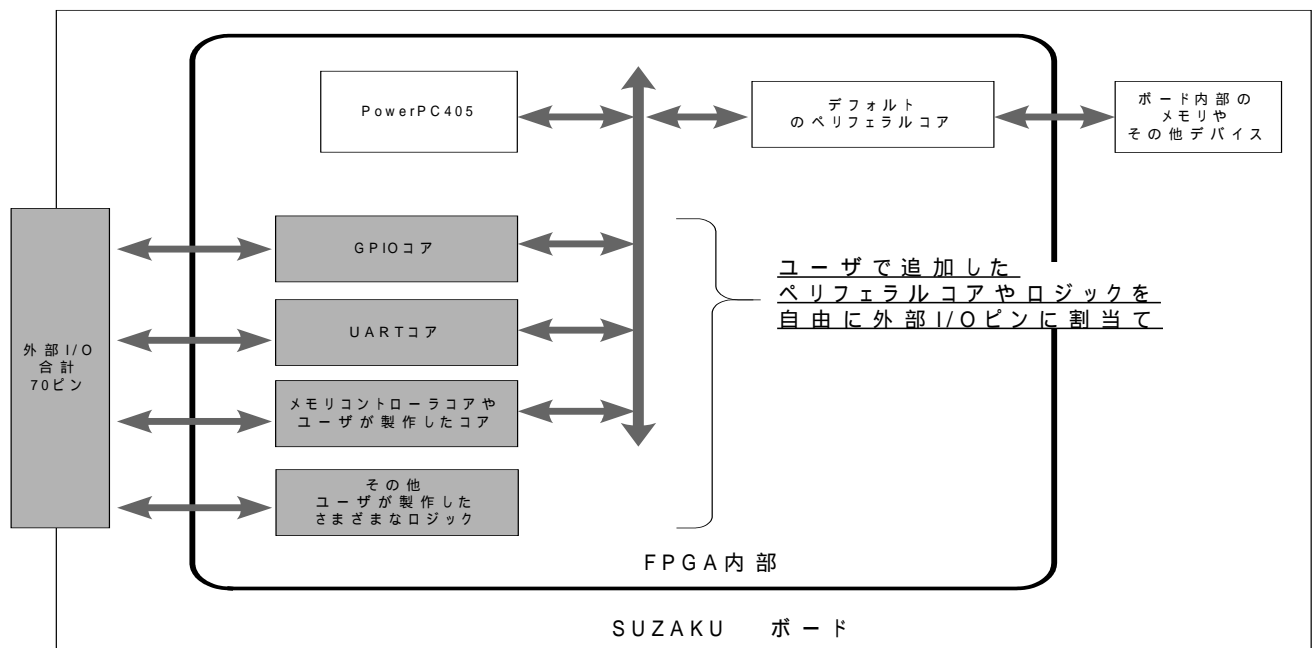
EDK は、GUI 環境下で PowerPC405 や周辺ペリフェラルコアの各種設定が行え、その設定情報から自動的にネットリストを生成するツールです。

- カスタマイズ

FPGA の中は、ユーザによってカスタマイズが可能です。

また、基板外周にユーザが自由に使える外部 I/O を 70 ピン実装しています。

例えば、PIO や UART の数を増やし、外部 I/O ピンに割り当てるなどのカスタマイズが簡単に行えます。



* FPGA のカスタマイズには Xilinx 社の EDK、ISE が必要です。Xilinx 社または、Xilinx 代理店より入手してください。

- LAN

LAN(10Base-T/100Base-Tx)を実装しています。市販の LAN ケーブル(UTP)が接続できます。

- オペレーティングシステム

Linux を標準のオペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発には GNU のアセンブラやCコンパイラ等を使用することができます。

また、LAN コントローラデバイスドライバ、各種プロトコルが最初から用意されていますので、簡単にネットワークに接続できます。

オペレーティングシステムの詳細については、Software Manual を参照ください。

4.2. 仕様

本ボードの主な仕様を表 4 - 1 に示します。

表 4-1 SUZAKU-V 仕様

FPGA	Xilinx Virtex- Pro XC2VP4 FG256	
ハードコアプロセッサ	PowerPC405	
水晶発振器周波数	3.6864MHz(FPGA の内部 DCM により逡倍して使用)	
メモリ	BRAM	16Kbyte
	SDRAM	32Mbyte
	FLASH メモリ	8Mbyte
コンフィグレーション	FLASH メモリ上に記憶、コントローラ TE7720	
JTAG	2 ポート(FPGA 用、TE7720 用)	
Ethernet	10Base-T / 100Base-Tx	
シリアル	UART 115.2kbps	
タイマ	2ch (1ch は OS で使用)	
フリーI/O ピン	70 ピン	
リセット機能	ソフトウェアリセット	
電源	電圧: 3.3V ± 3%	
	消費電流: 460mA typ(プロセッサ動作時)	
基板サイズ	72 × 47mm	

4.3. 全体ブロック図

SUZAKU-V の全体ブロック図を図 4-1 に示します。
本構成は、Linux を動作させる最小構成です。

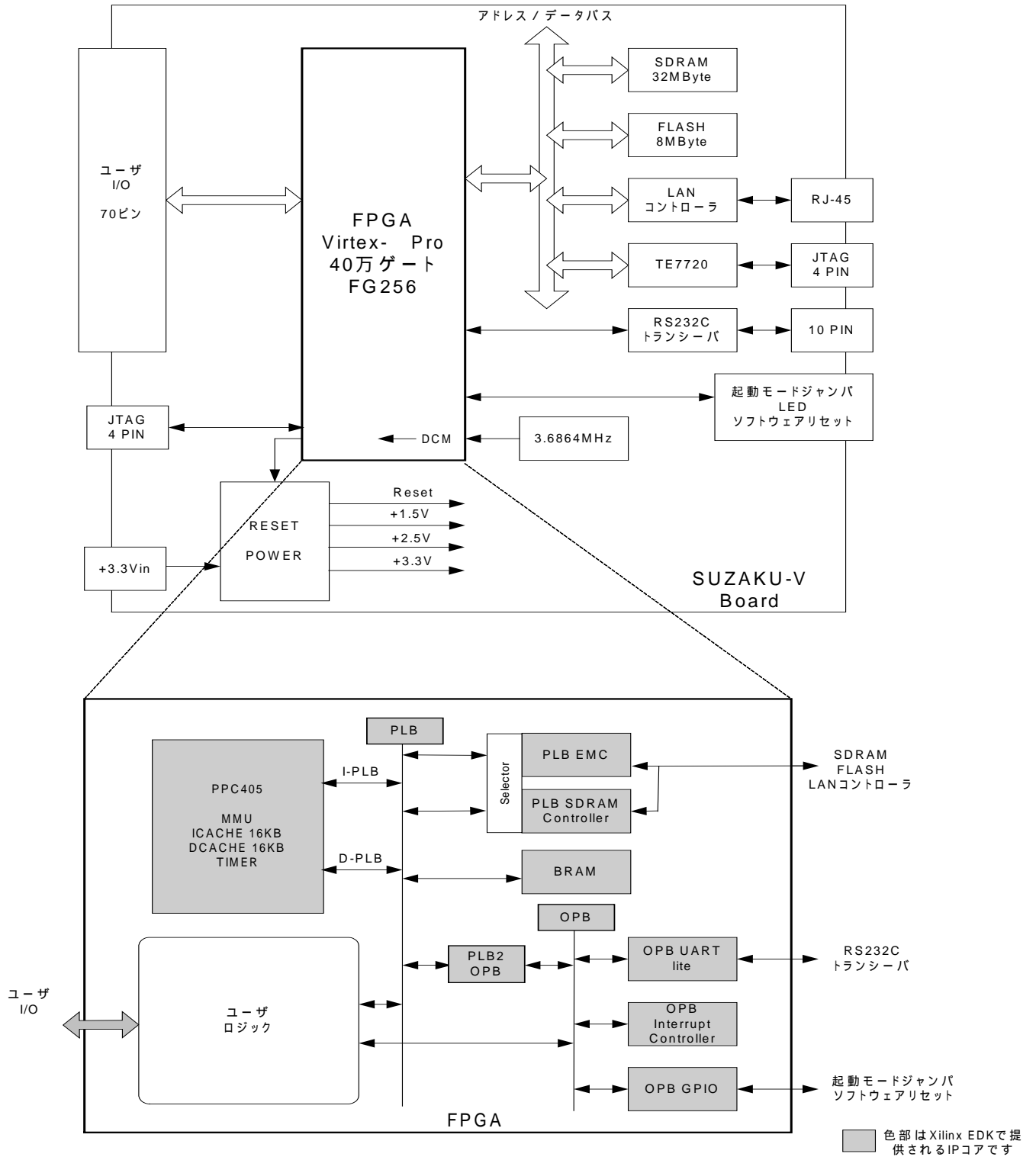


図 4-1 SUZAKU-V ブロック図

4.4. 機能

4.4.1. プロセッサ

FPGA 内部で PowerPC405 を使用しています。PowerPC405 の概要を以下に示します。

- ・32 ビット RISC プロセッサ
- ・32 ビット固定長命令
- ・32 個の汎用 32bit レジスタ
- ・MMU
- ・命令キャッシュ(16 KB, 2-way)とデータキャッシュ(16 KB, 2-way)

4.4.2. バス

3 種類のバスで構成しています。

- ・FPGA 内部 PLB
 - PowerPC405 と BRAM、PLB-SDRAM Controller、PLB-EMC をペリフェラル IP コア接続するバス
高速アクセス
- ・FPGA 内部 OPB
 - OPB-UARTlite、OPB-INTC などのペリフェラル IP コアを接続するバス
- ・FPGA 外部バス
 - PLB EMC 及び、PLB SDRAM を介し、外部メモリデバイスなどを接続するバス。

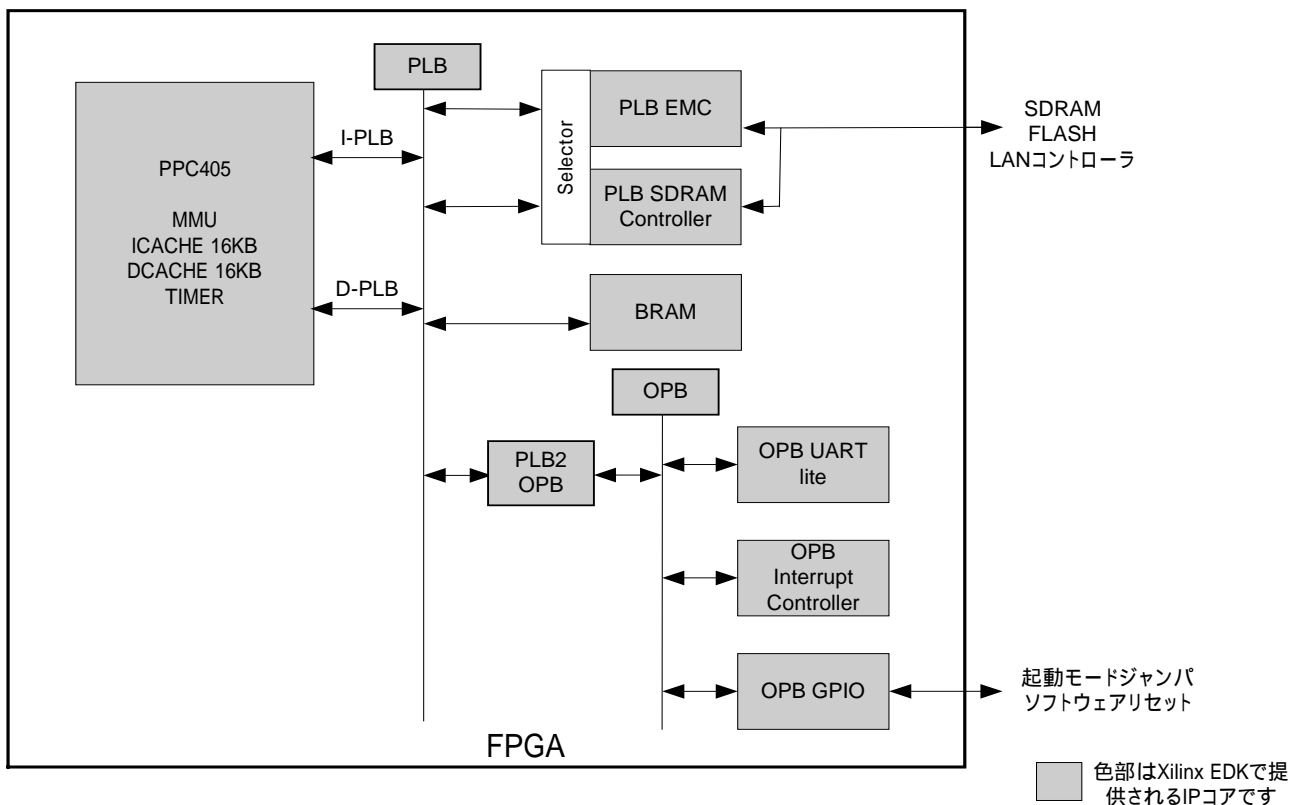


図 4-2 SUZAKU-V バス構成

4.4.3. メモリ

3種類のメモリで構成しています。

- ・FPGA 内部 BRAM (デフォルト 16KByte)

ブートプログラム用として使用しています。

ブート完了後は、ユーザプログラムで使用することもできます。

- ・FPGA 外部 FLASH メモリ

8MByte を実装しています。

高機能ブートローダや Linux システム、FPGA コンフィグデータなどのデータ保存に使用しています。

PLB EMC と接続しています。

- ・FPGA 外部 SDRAM 32MByte

Linux のメインメモリとして使用しています。

PLB SDRAM と接続しています。

4.4.4. 割り込み

OS 用割り込みコントローラに、FPGA 内部で OPB INTC を使用しています。

4.4.5. タイマ

PowerPC405 内のタイマを使用しています。

4.4.6. シリアルコンソール

OS 用シリアルコンソールに、FPGA 内部で OPB UART Lite を使用しています。

OPB UART Lite は RS232C トランシーバを介し、コネクタ(CON1)に接続しています。

また、RS232C トランシーバは、4 チャンネルタイプのものであり、このうち 2 チャンネルを OS 用シリアルコンソールで使用し、残り 2 チャンネルは未使用となっています。これらの未使用の信号に GPIO やユーザロジックを接続してフロー制御をしたり、別の OPB UART Lite を接続して 2 ポート目の UART とすることも可能です。

- ・シリアルコンソールの設定

転送レート	115.2kbps
データ	8bit
ストップ bit	1bit
フロー制御	なし

4.4.7. LAN

LAN コントローラに、FPGA 外部に SMSC 社の LAN91C111 を実装しています。

LAN91C111 は、PLB EMC を使用し、PLB と接続しています。

また、RJ-45 コネクタを実装しており、市販の LAN ケーブル(UTP)が接続できます。

4.4.8. 外部 I/O

ユーザが自由に使用できる外部 I/O を 70 ピン実装しています (CON2、CON3、CON4、CON5)。
(コネクタは実装されていません)

外部 I/O は、FPGA のフリー I/O ピンと直接接続しています。(7 項 各種インターフェース仕様を参照ください)
FPGA の I/O 用電源 (VCCO) は、全て内部ロジック用電源 +3.3V から供給しています。
I/O 電圧や駆動電流などの規定値については、Virtex- Pro のデータシートをご参照ください。

内部ロジック用電源 +3.3V は、シーケンス回路により立ち上がりに最大 20msec の時間がかかります。

よって外部 I/O と接続するデバイスは、ラッチアップ等を起こさないために、本ボードの内部ロジック用電源 +3.3V 出力を使用するか (4.4.15 内部ロジック用電源出力 +3.3V を参照ください)、またはバッファデバイス等が必要になります。

4.4.9. FPGA コンフィグレーション

FPGA コンフィグレーション IC に TE7720 (東京エレクトロンデバイス製) を実装しています。

TE7720 は、JTAG (CON2) から送られてくるデータを FLASH メモリにプログラムし、再起動時に FLASH メモリからデータを読み込み、FPGA をコンフィグレーションする IC です。(図 4.3)

FLASH メモリの全エリアは、プロセッサからも読み書き可能です。

LAN や RS232C から、Linux システムや FPGA コンフィグレーションデータを受信し、FLASH メモリに対して書き込んで、再起動すると全く新しい機能をもったボードとして動作させることができます。

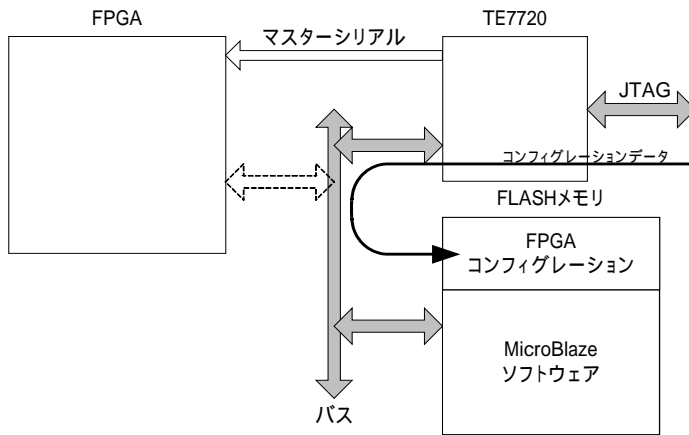
また、SUZAKU-V にはソフトウェアからコントロールできるリセット回路が入っていますので、遠隔地からの再コンフィグレーションも可能です。

JTAG (CON2) から TE7720 にデータを転送するためのソフトウェア (LBPLAY2.EXE) は、東京エレクトロンデバイスのホームページから無料でダウンロードできます。(付属 CD にも収録されています)

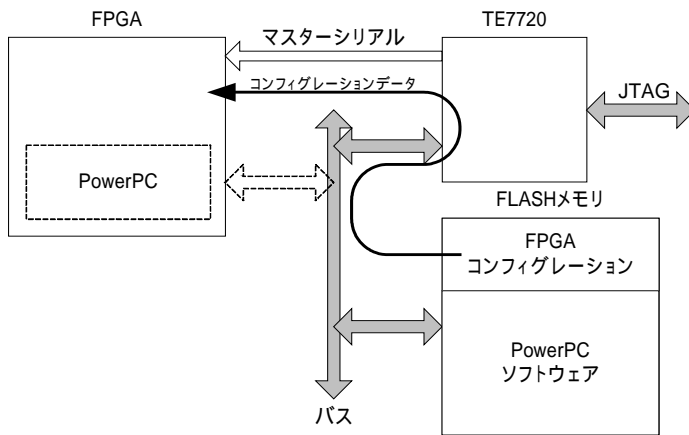
コンフィグレーション方法については、10 . FPGA コンフィグレーション を参照ください。

FPGA に間違ったデータをプログラムしたり、またプログラム中に何かの原因で、エラーを起こした場合は SUZAKU-V を動作させないでください。FPGA 外部回路部品 (ボード上の部品も含む) と信号の衝突や異常動作により発熱、劣化、破損する可能性がありますので、一度電源を切断し、'JP2' をショートし、再プログラミングを行ってください。

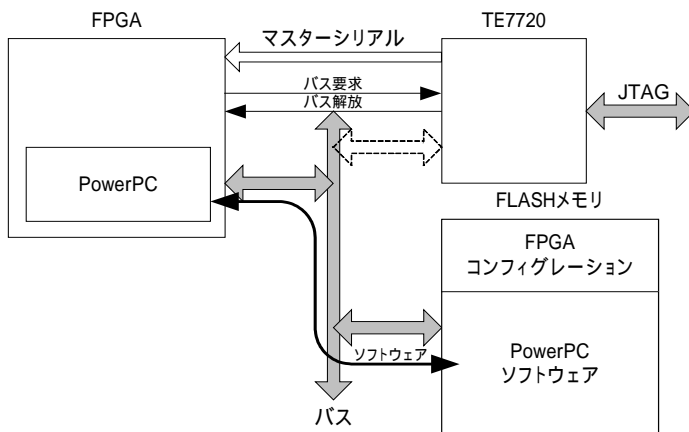
SUZAKU-V は、電源再投入時 'JP2' をショートすると、FPGA に対しコンフィグレーションを停止させることができ、その間にプログラムすることができます。



JTAGからTE7720経由でFLASHメモリに書き込み



電源投入時FLASHメモリからTE7720経由でFPGAをコンフィグレーション



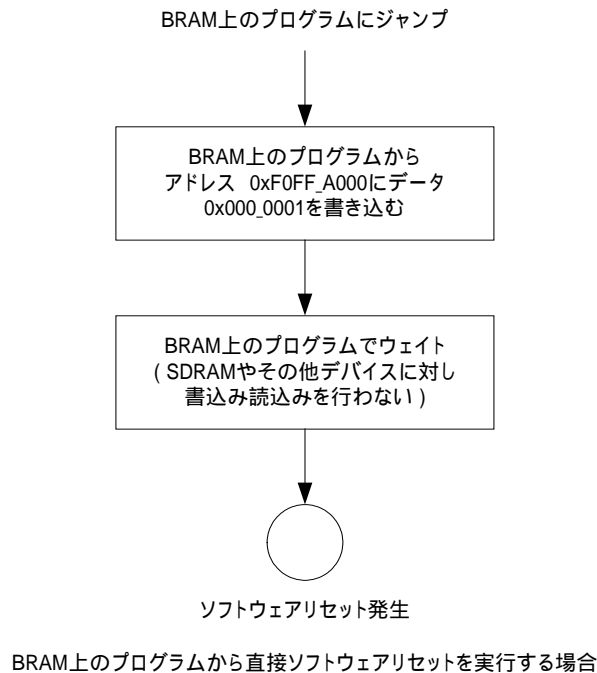
FPGAのコンフィグレーション完了後、PowerPCがFLASHメモリを使用

図 4-3 FPGA コンフィグレーション

4.4.10. ソフトウェアリセット機能

ソフトウェアリセットを実行すると、FLASH メモリからコンフィグレーションデータの再読み込み及び、FPGA のコンフィグレーションを実行、各デバイス IC へリセットを出力します。

ソフトウェアリセットは、Linux の reboot コマンドを使用するか、または、BRAM 上のプログラムから、直接アドレス 0xF0FF_A000 にデータ 0x0000_0001 を書き込むことにより実行できます。BRAM 上のプログラムから直接ソフトウェアリセットを実行する場合は、SDRAM やその他デバイスに対し書き込み読み込み（プログラムの実行を含む）を行わないでください。



4.4.11. JTAG

JTAG には、以下の 2 種類があります。

・FPGA プログラム用 JTAG コネクタ(CON2)

FPGA のコンフィグレーションデータを Flash メモリにプログラムする時に使用する JTAG コネクタです。
(コネクタは実装されていません)

本コネクタに Xilinx 製 Parallel Cable 等の JTAG ケーブルを接続し、専用のソフト(LBPLAY2.EXE)を使用してプログラムを行います。

本 JTAG の I/O 電圧は+3.3V です。+3.3V に対応した JTAG ケーブルをご使用ください。

また、TMS、TDI、TCK は、本ボード内で 4.7k を介し+3.3V にプルアップされています。

コンフィグレーション方法については、10 . FPGA コンフィグレーション を参照ください。

・FPGA 用 JTAG コネクタ(CON7)

FPGA 用 JTAG コネクタです。(コネクタは実装されていません)

FPGA の JTAG ピンと直接接続されています。

本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。

また、本ボード内で TMS、TDI、TCK は 4.7k 、TDO は 200 を介し+2.5V にプルアップされています。

4.4.12. 設定用ジャンパ

設定用ジャンパには、以下の 2 種類があります。

・起動モードジャンパ (JP1)

起動モードを切り替えるジャンパです。

オープンでオートブートします。

ショートでブートルードモードになります。

(起動モードについての詳細はソフトウェアマニュアルを参照してください)

・FPGA プログラム用ジャンパ(JP2 , FPGA の P14(INIT-B)と接続しています)

FPGA プログラム用 JTAG からコンフィグレーションデータを Flash メモリにプログラムする時に使用するジャンパです。(JP2 は、FPGA の P14(INIT-B) と CON3 の 14 ピンと接続しています)

オープンでノーマルブートします。

ショートで FPGA コンフィグレーションデータを Flash メモリにプログラムできます。

コンフィグレーション方法については、10 . FPGA コンフィグレーション を参照ください。

(電源再投入時、本ジャンパをショートすると、FPGA に対しコンフィグレーションを停止させることができ、その時に Flash メモリにプログラムできます)

4.4.13. LED

LED には、以下の 2 種類があります。

・パワーオン LED 緑 (D3)

本ボードに 3.3V が供給されると点灯します。

・ユーザコントロール LED 赤 (D1)

ユーザコントロール可能な LED です。

‘ LO. ’ レベルで点灯します。

FPGA の A9 ピンと接続しています。

4.4.14. 電源入力+3.3V

CON2、CON3 及び CON6 の ‘ 電源入力+3.3V ’ から、本ボードへの電源供給が可能です。

+3.3V は、精度 ±3% で、単調増加としてください。

極度に短い間隔でのオン/オフ繰り返しは行わないでください。

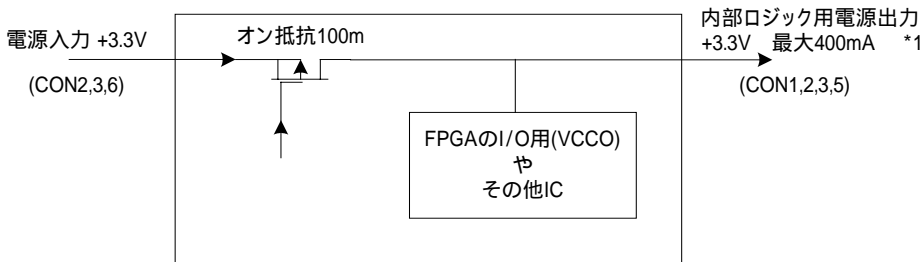
入力には積層セラミックコンデンサ 22 μF を実装しています。

4.4.15. 内部ロジック用電源出力+3.3V

内部ロジック用電源+3.3V は、FPGA の I/O 用(VCCO)やその他 IC に供給している電源です。

CON1、CON2、CON3、CON5 から、外部のデバイスに合計最大 400mA *1 の電源供給が可能です。

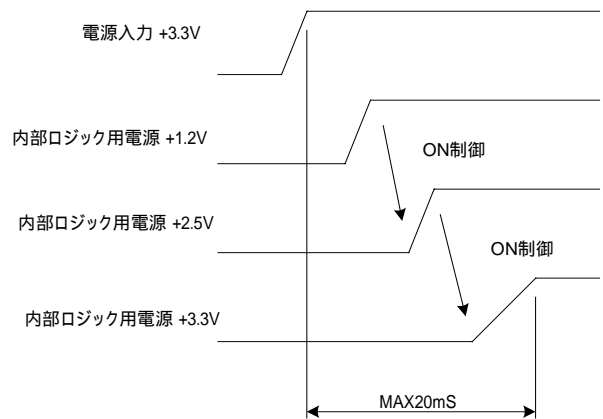
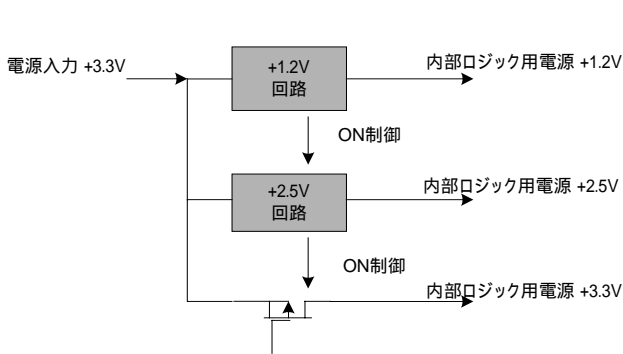
ただし、外部のデバイスの負荷変動が大きい場合、電源入力+3.3V の応答によっては、電圧変動が発生することがあります。



- *1 外部 I/O から信号を出力する場合は、
合計最大電流 = 400mA - 外部 I/O 信号の出力電流
となります。

4.4.16. 内部電源シーケンス

内部電源は、以下のようなシーケンスで立ち上がります。



5. メモリマップ

5.1. SUZAKU-V メモリマップ

本ボードのメモリマップは次の通りです。
本構成は、Linux を動作させる最小構成です。

表 5-1 SUZAKU-V メモリマップ

Start Address	End Address	ペリフェラル	デバイス
0x0000 0000	0x01FF FFFF	PLB-SDRAM Controller	SDRAM 32MByte
0x0200 0000	0xEFFF FFFF	Free	
0xF000 0000	0xF07F FFFF	PLB-EMC	FLASH メモリ 8MByte
0xF080 0000	0xF0CF FFFF	Free	
0xF0E0 0000	0xF0EF FFFF	PLB-EMC	LAN コントローラ
0xF0F0 0000	0xF0FF 1FFF	Free	
0xF0FF 2000	0xF0FF 20FF	OPB-UART Lite	RS232C
0xF0FF 2100	0xF0FF 2FFF	Free	
0xF0FF 3000	0xF0FF 30FF	OPB-Interrupt Controller	
0xF0FF 3100	0xF0FF 9FFF	Free	
0xF0FF A000	0xF0FF A0FF	OPB-GPIO	ブートモードジャンパ ソフトウェアリセット
0xFFFF A100	0xFFFF BFFF	Free	
0xFFFF C000	0xFFFF FFFF	BRAM	BRAM 16KByte

表 5-2 FLASH メモリ 8MByte 内のメモリマップ(0xF000 0000 ~ 0xF07F FFFF)

Start Address	End Address	ペリフェラル
0xF000 0000	0xF007 FFFF	Free
0xF008 0000	0xF00F FFFF	FPGA コンフィグレーションデータ
0xF010 0000	0xF011 FFFF	Hermit ブートローダバイナリイメージ
0xF012 0000	0xF07E FFFF	Linux バイナリイメージ
0xF07F 0000	0xF07F FFFF	Linux コンフィグデータ

6.FPGA ピンアサイン

FPGA(Xilinx Virtex- PRo XC2VP4 FG256)の全ピンアサインを示します。

表 6-1 FPGA ピンアサイン 外部 I/O 系 (1/3)

番号	バンク	信号名	I/O	用途	接続先
E14	2	L01N_2/VRP_2	I/O	外部 I/O	CON2 (7 項参照)
E15	2	L01P_2/VRN_2	I/O	"	"
E13	2	L02N_2	I/O	"	"
F12	2	L02P_2	I/O	"	"
F13	2	L03N_2	I/O	"	"
F14	2	L03P_2	I/O	"	"
F15	2	L04N_2/VREF_2	I/O	"	"
F16	2	L04P_2	I/O	"	"
G13	2	L06N_2	I/O	"	"
G14	2	L06P_2	I/O	"	"
G15	2	L85N_2	I/O	"	"
G16	2	L85P_2	I/O	"	"
G12	2	L86N_2	I/O	"	"
H13	2	L86P_2	I/O	"	"
H14	2	L88N_2/VREF_2	I/O	"	"
H15	2	L88P_2	I/O	"	"
H16	2	L90N_2	I/O	"	"
J16	2	L90P_2	I/O	"	"
J15	3	L90N_3	I/O	"	"
J14	3	L90P_3	I/O	"	"
J13	3	L89N_3	I/O	"	"
K12	3	L89P_3	I/O	"	"
K16	3	L87N_3/VREF_3	I/O	"	"
K15	3	L87P_3	I/O	"	"
K14	3	L85N_3	I/O	"	"
K13	3	L85P_3	I/O	"	"
L16	3	L06N_3	I/O	"	"
L15	3	L06P_3	I/O	"	"
L14	3	L05N_3	I/O	"	"
L13	3	L05P_3	I/O	"	"
L12	3	L03N_3/VREF_3	I/O	"	CON3 (7 項参照)
M13	3	L03P_3	I/O	"	"
M16	3	L02N_3	I/O	"	"
N16	3	L02P_3	I/O	"	"
M15	3	L01N_3/VRP_3	I/O	"	"
M14	3	L01P_3/VRN_3	I/O	"	"

表 6-2 FPGA ピンアサイン 外部 I/O 系(2/3)

番号	バンク	信号名	I/O	機能	接続先
P15	4	L01N_4/BUSY/DOUT1	I/O	外部 I/O	CON3 (7 項参照)
P14	4	L01P_4/INIT_B	I/O	"	CON3 (7 項参照) JP2 コンフィグレーションピン兼用
R14	4	L02N_4/D0/DIN1	I/O	"	CON3 (7 項参照) コンフィグレーションピン兼用
P13	4	L02P_4/D1	I/O	"	CON3 (7 項参照)
T15	4	L03N_4/D2	I/O	"	"
T14	4	L03P_4/D3	I/O	"	"
N12	4	L06N_4/VRP_4	I/O	"	"
P12	4	L06P_4/VRN_4	I/O	"	"
N11	4	L07P_4/VREF_4	I/O	"	"
M11	4	L09N_4	I/O	"	"
M10	4	L09P_4/VREF_4	I/O	"	CON3 (7 項参照) CON5 (7 項参照)
N10	4	L69N_4	I/O	"	"
P10	4	L69P_4/VREF_4	I/O	"	"
N9	4	L74N_4/GCLK3S	I/O	"	CON3 (7 項参照)
P9	4	L74P_4/GCLK2P	I/O	"	"
R9	4	L75N_4/GCLK1S	I/O	"	"
T9	4	L75P_4/GCLK0P	I/O	"	"
T8	5	L75N_5/GCLK7S	I/O	"	CON3 (7 項参照) CON5 (7 項参照)
R8	5	L75P_5/GCLK6P	I/O	"	"
P8	5	L74N_5/GCLK5S	I/O	"	"
N8	5	L74P_5/GCLK4P	I/O	"	CON3 (7 項参照) CON4 (7 項参照)
P7	5	L69N_5/VREF_5	I/O	"	"
N7	5	L69P_5	I/O	"	"
M7	5	L09N_5/VREF_5	I/O	"	"
M6	5	L09P_5	I/O	"	"
N6	5	L07N_5/VREF_5	I/O	"	"
P5	5	L06N_5/VRP_5	I/O	"	"
N5	5	L06P_5/VRN_5	I/O	"	"
T3	5	L03N_5/D4	I/O	"	"
T2	5	L03P_5/D5	I/O	"	"
P4	5	L02N_5/D6	I/O	"	CON4 (7 項参照)
R3	5	L02P_5/D7	I/O	"	"
P3	5	L01N_5/RDWR_B	I/O	"	"
P2	5	L01P_5/CS_B	I/O	"	"

表 6-3 FPGA ピンアサイン 内部デバイス系(1/2)

番号	バンク	信号名	I/O	機能	接続先
J2	6	LA(22)	O	FPGA 外部アドレスバス	SDRAM、FLASH メモリ、 LAN コントローラ
J3	6	LA(21)	O	"	"
J4	6	LA(20)	O	"	"
K5	6	LA(19)	O	"	"
K1	6	LA(18)	O	"	"
K2	6	LA(17)	O	"	"
K3	6	LA(16)	O	"	"
K4	6	LA(15)	O	"	"
L1	6	LA(14)	O	"	"
L2	6	LA(13)	O	"	"
L3	6	LA(12)	O	"	"
L4	6	LA(11)	O	"	"
L5	6	LA(10)		"	"
M4	6	LA(10)_RAM	O	"	" (SDRAM 用)
M1	6	LA(9)	O	"	"
N1	6	LA(8)	O	"	"
M2	6	LA(7)	O	"	"
M3	6	LA(6)	O	"	"
E3	7	LA(5)	O	"	"
E2	7	LA(4)	O	"	"
E4	7	LA(3)	O	"	"
F5	7	LA(2)	O	"	"
F4	7	LA(1)	O	"	"
F3	7	LA(0)	O	"	"
F2	7	LD(15)	I/O	FPGA 外部データバス	SDRAM,FLASH メモリ、 LAN コントローラ
F1	7	LD(14)	I/O	"	"
G4	7	LD(13)	I/O	"	"
G3	7	LD(12)	I/O	"	"
G2	7	LD(11)	I/O	"	"
G1	7	LD(10)	I/O	"	"
G5	7	LD(9)	I/O	"	"
H4	7	LD(8)	I/O	"	"
H3	7	LD(7)	I/O	"	"
H2	7	LD(6)	I/O	"	"
H1	7	LD(5)	I/O	"	"
J1	7	LD(4)	I/O	"	"
A8	0	SYS_RST_IN	I	システムリセット入力	リセット回路

表 6-4 FPGA ピンアサイン 内部デバイス系(2/2)

番号	バンク	信号名	I/O	機能	接続先
B8	0	BOOTMODE	I	ブートモード検出	JP1 (7項参照)
C8	0	SYS_CLK_IN	I	システムクロック入力	発振器 3.6864MHz
D8	0	RAM_CLK	I	SDRAM のクロック DCM フォードバック用入力	SDRAM
C7	0	SYS_CLK_OUT	O	SDRAM へのクロック出力	SDRAM
D7	0	LD(3)	I/O	FPGA 外部データバス	SDRAM,FLASH メモリ, LAN コントローラ
E7	0	LD(2)	I/O	"	"
E6	0	LD(1)	I/O	"	"
D6	0	LD(0)	I/O	"	"
C5	0	FLASH_CE*	O	FLASH メモリ CE	FLASH メモリ
D5	0	FLASH_OE*	O	FLASH メモリ OE	"
A3	0	FLASH_WE*	O	FLASH メモリ WE	"
A2	0	MAC_BE1*	O	LAN コントローラ BE1	LAN コントローラ
C4	0	MAC_BE0*	O	LAN コントローラ BE0	"
B3	0	MAC_RD*	O	LAN コントローラ RD	"
C3	0	MAC_WR*	O	LAN コントローラ WR	"
C2	0	MAC_INTR	I	LAN コントローラ INTR	"
C15	1	BUS_REQ	O	バスリクエスト	TE7720
C14	1	BUS_REL	I	バス獲得	TE7720
B14	1	RAM_CS*	O	SDRAM CS	SDRAM
C13	1	RAM_RAS*	O	SDRAM RAS	"
A15	1	RAM_CAS*	O	SDRAM CAS	"
A14	1	RAM_WE*	O	SDRAM WE	"
D12	1	RAM_CKE	O	SDRAM CKE	"
C12	1	RAM_UQDM	O	SDRAM UQDM	"
D11	1	RAM_LQDM	O	SDRAM LQDM	"
E11	1	RAM_BS(1)	O	SDRAM BS	"
E10	1	RAM_BS(0)	O	SDRAM BS	"
D10	1	CNSL_CTS*	I	コンソール CTS	RS232C トランシーバ =>CON1 (7項参照)
C10	1	CNSL_RXD	I	コンソール RXD	"
D9	1	CNSL_RTS	O	コンソール RTS	"
C9	1	CNSL_TXD	O	コンソール TXD	"
B9	1	FPGA_RESET_EN	O	自己リセット出力	リセット回路
A9	1	LED*	O	ユーザコントロール LED	D1 (7項参照)

LA(0 to 22)、LD(0 to 15)、RAM_BS(0 to 1)の VHDL バス記述は、MSB 側ビット(0)となっています。
 このため通常の外部デバイスと比べ、ビットラベルが逆になります(通常 LSB 側がビット(0))。
 上記表は通常の外部デバイスに接続するときのビットラベル(LSB 側がビット(0))で表記しています。

表 6-5 FPGA ピンアサイン JTAG、コンフィグレーション系

番号	バンク	信号名	I/O	機能	接続先
D16		TCK	I	JTAG	CON7 (7 項参照)
E1		TDI	I	JTAG	"
E16		TDO	O	JTAG	"
C16		TMS	I	JTAG	"
N15		CFG_CLK	O	コンフィグレーション CLK	TE7720
D1		PROG_B	I	コンフィグレーション PROG_B	リセット回路
P16		CFG_DONE	O	コンフィグレーション DONE	TE7720
C1		HSWAP_EN		オープン	
N3		M0	I	コンフィグレーションモード	グランド
N2		M1	I	コンフィグレーションモード	グランド
P1		M2	I	コンフィグレーションモード	グランド

7. 各種インターフェース仕様

7.1. 各種インターフェースの配置

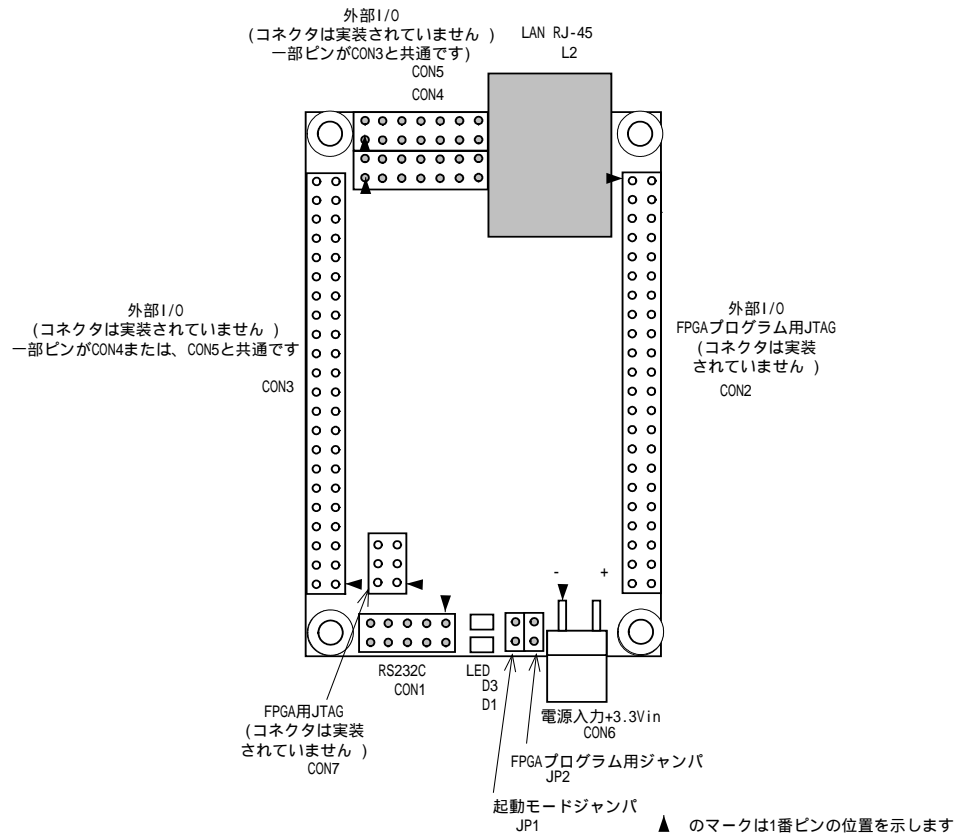


図 7-1 各種インターフェースの配置

表 7-1 各種インターフェースの内容

部品番号	説明
CON2	外部 I/O、FPGA プログラム用 JTAG コネクタ Total I/Os 32PIN
CON3	外部 I/O コネクタ Total I/Os 34PIN(一部ピンは CON4 または 5 と同じ信号です)
CON4	外部 I/O コネクタ Total I/Os 10PIN(一部ピンは CON3 と同じ信号です)
CON5	外部 I/O コネクタ Total I/Os 10PIN(一部ピンは CON3 と同じ信号です)
L2	Ethernet 10/100 Base-T コネクタ
CON7	FPGA JTAG コネクタ
CON1	RS232C コネクタ
D3	パワーオン LED 緑
D1	ユーザコントロール LED 赤
JP1	起動モードジャンパ
JP2	FPGA プログラム用ジャンパ
CON6	電源入力 +3.3V コネクタ

7.2.CON2 外部 I/O、FPGA プログラム用 JTAG コネクタ

外部 I/O 及び FPGA プログラム用 JTAG コネクタです。(コネクタは実装されていません)

表 7-2 CON2 外部 I/O、FPGA プログラム用コネクタ

番号	信号名	I/O	機 能
1	GND		グランド
2	+3.3VOUT		内部ロジック用電源出力 +3.3V
3	CFG_TCK		FPGA プログラム用 JTAG TCK
4	CFG_TDI		" TDI
5	CFG_TDO		" TDO
6	CFG_TMS		" TMS
7	01N_2/VRP_2		外部 I/O Virtex-II Pro 接続ピン番号 E14
8	01P_2/VRN_2		" E15
9	02N_2		" E13
10	02P_2		" F12
11	03N_2		" F13
12	03P_2		" F14
13	04N_2/VREF_2		" F15
14	04P_2		" F16
15	06N_2		" G13
16	06P_2		" G14
17	85N_2		" G15
18	85P_2		" G16
19	GND		グランド
20	74N_4/GCLK3S		外部 I/O Virtex-II Pro 接続ピン番号 N9
21	GND		グランド
22	74P_4/GCLK2P		外部 I/O Virtex-II Pro 接続ピン番号 P9
23	86N_2		" G12
24	86P_2		" H13
25	88N_2/VREF_2		" H14
26	88P_2		" H15
27	90N_2		" H16
28	90P_2		" J16
29	90N_3		" J15
30	90P_3		" J14
31	89N_3		" J13
32	89P_3		" K12
33	87N_3/VREF_3		" K16
34	87P_3		" K15
35	85N_3		" K14
36	85P_3		" K13
37	06N_3		" L16
38	06P_3		" L15
39	05N_3		" L14
40	05P_3		" L13
41	GND		グランド
42	GND		グランド
43	+3.3VIN		電源入力 +3.3V
44	+3.3VIN		電源入力 +3.3V

7.3.CON3 外部 I/O コネクタ

外部 I/O 及び TE7720 用 JTAG コネクタです。(コネクタは実装されていません)

表 7-3 CON3 外部 I/O コネクタ

番号	信号名	I/O	機 能
1	+3.3VIN		電源入力 +3.3V
2	+3.3VIN		電源入力 +3.3V
3	GND		グラウンド
4	GND		グラウンド
5	03N_3/VREF_3		外部 I/O Virtex-II Pro 接続ピン番号 L12
6	03P_3		" M13
7	02N_3		" M16
8	02P_3		" N16
9	01N_3/VRP_3		" M15
10	01P_3/VRN_3		" M14
11	01N_4/BUSY/D1		" P15
12	02P_4/D1		" P13
13	02N_4/D0/DIN		" R14 注意.1
14	01NP_4/INIT_B		" P14 注意.1
15	03N_4/D2		" T15
16	03P_4/D3		" T14
17	06N_4/VRP_4		" N12
18	06P_4/VRN_4		" P12
19	07P_4/VREF_4		" N11
20	09N_4		" M11
21	09P_4/VREF_4		" M10 注意.2
22	69N_4		" N10 注意.2
23	75N_4/GCLK1S		" R9
24	GND		グラウンド
25	75P_4/GCLK0P		外部 I/O Virtex-II Pro 接続ピン番号 T9
26	GND		グラウンド
27	69P_4/VREF_4		外部 I/O Virtex-II Pro 接続ピン番号 P10 注意.2
28	75N_5/GCLK7S		" T8 注意.2
29	75P_5/GCLK6P		" R8 注意.2
30	74N_5/GCLK5S		" P8 注意.2
31	74P_5/GCLK4P		" N8 注意.3
32	69N_5/VREF_5		" P7 注意.3
33	69P_5		" N7 注意.3
34	09N_5/VREF_5		" M7 注意.3
35	09P_5		" M6 注意.3
36	07N_5/VREF_5		" N6 注意.3
37	06N_5/VRP_5		" P5 注意.3
38	06P_5/VRN_5		" N5 注意.3
39	03N_5/D4		" T3 注意.3
40	03P_5/D5		" T2 注意.3
41			空き
42	EXRESET*		未接続 注意. 必ず未接続とし、信号を入力しないでください。
43	+3.3VOUT		内部ロジック用電源出力 +3.3V
44	GND		グラウンド

7.4.CON4 外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

表 7-4 CON4 外部 I/O コネクタ

番号	信号名	I/O	機 能
1			空き
2			空き
3	74P_5/GCLK4P		外部 I/O Virtex-II Pro 接続ピン番号 N8 注意.3
4	69N_5/VREF_5		P7 注意.3
5	69P_5		N7 注意.3
6	09N_5/VREF_5		M7 注意.3
7	09P_5		M6 注意.3
8	07N_5/VREF_5		N6 注意.3
9	06N_5/VRP_5		P5 注意.3
10	06P_5/VRN_5		N5 注意.3
11	03N_5/D4		T3 注意.3
12	03P_5/D5		T2 注意.3

7.5.CON5 外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

表 7-5 CON5 外部 I/O コネクタ

番号	信号名	I/O	機 能
1	GND		グラウンド
2	+3.3VOUT		内部ロジック用電源出力 +3.3V
3	02N_5/D6		外部 I/O Virtex-II Pro 接続ピン番号 P4
4	02P_5/D7		R3
5	01N_5/RDWR_B		P3
6	01P_5/CS_B		P2
7	09P_4/VREF_4		M10 注意.2
8	69N_4		N10 注意.2
9	69P_4/VREF_4		P10 注意.2
10	75N_5/GCLK7S		T8 注意.2
11	75P_5/GCLK6P		R8 注意.2
12	74N_5/GCLK5S		P8 注意.2

注意

1. CON3 の 13 ピン(信号名 02N_4/D0/DIN)、CON3 の 14 ピン(信号名 01NP_4/INIT_B)は、FPGA コンフィグレーションピンと兼用しています。
2. CON3 の 21,22 ピン、27~30 ピンと、CON5 の 7~12 ピンは、同じ信号を配線しています。
3. CON3 の 31~40 ピンと、CON4 の 3~12 ピンは、同じ信号を配線しています。

7.6.CON7 FPGA JTAG コネクタ

FPGA 用 JTAG コネクタです。(コネクタは実装されていません)。
本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。

表 7-6 CON7 Virtex- Pro 用 JTAG コネクタ

番号	信号名	I/O	機能
1	GND		グラウンド
2	+2.5VOUT		内部ロジック用電源出力 +2.5V
3	TCK	I	JTAG
4	TDI	I	JTAG
5	TDO	O	JTAG
6	TMS	I	JTAG

7.7.CON1 RS232C コネクタ

RS232C コネクタです。レベルバッファを介して FPGA と接続されています。
ボード側で使用しているコネクタ型式/メーカーは、A1-10PA-2.54DSA/ヒロセ(相当品)です。

- ・ シリアルコンソールの設定
- ・ 転送レート 115.2kbps
- ・ データ 8bit
- ・ ストップ bit 1bit
- ・ フロー制御 なし

表 7-7 CON1 RS232C コネクタ

番号	信号名	I/O	機能
1			空き
2			空き
3	RXD	I	Virtex-II Pro 接続ピン番号 C10 (シリアルコンソール用)
4	RTS	O	" D9
5	TXD	O	" C9 (シリアルコンソール用)
6	CTS	I	" D10
7			空き
8			空き
9	GND		グラウンド
10	+3.3VOUT		内部ロジック用電源出力 +3.3V

7.8.JP1 起動モード ジャンパ

起動モードを切り替えるジャンパです。

オープンでオートブートします。

ショートでブートローダモードになります。

FPGAと接続されています。

(起動モードについての詳細はソフトウェアマニュアルを参照してください)

表 7-8 JP1 起動モード ジャンパ

番号	信号名	I/O	機 能
1	DLOAD		オープン：オートブート ショート：ブートローダモード Virtex-II Pro 接続ピン番号 B8
2	GND		グラウンド

7.9.JP2 FPGA プログラム用ジャンパ

FPGA プログラム用 JTAG からコンフィグレーションデータを Flash メモリにプログラムする時に使用するジャンパです。

コンフィグレーション方法については、10.FPGA コンフィグレーション を参照ください。

表 7-9 JP2 FPGA プログラム用ジャンパ

番号	信号名	I/O	機 能
1	TE77PRG		オープン：ノーマルブート ショート：コンフィグレーションデータプログラム
2	GND		グラウンド

7.10. D3 パワーオン LED

本ボードに 3.3V が供給されると点灯(緑色)します。

7.11. D1 ユーザコントロール LED

ユーザコントロール可能な LED です。

‘ LO. ’ レベルで点灯(赤)します。

FPGA と接続されています。

表 7-10 D1 ユーザコントロール LED

番号	信号名	I/O	機能
	LED0		LO.レベル : 点灯 HI.レベル : 消灯 Virtex-II Pro 接続ピン番号 A9

7.12. CON6 電源入力+3.3V コネクタ

電源入力コネクタです。電源入力+3.3V は、 $+3.3V \pm 3\%$ で、単調増加としてください。

CON2、CON3 の ‘ 電源入力+3.3V ’ とボード内部で接続されています。

ボード側で使用しているコネクタ型式/メーカーは、B2PS-VH/日本圧着端子(相当品)です。

ケーブル側のコネクタ型式/メーカーは、

ハウジング VHR-2N/日本圧着端子(相当品)、

コンタクト BVH-21T-P1.1/日本圧着端子(相当品) または、BVH-41T-P1.1/日本圧着端子(相当品)

が使用できます。

表 7-11 CON6 電源入力+3.3V コネクタ

番号	信号名	I/O	機能
1	GND		グラウンド
2	+3.3VIN		電源入力 +3.3V

7.13. Ethernet 10/100 Base-T

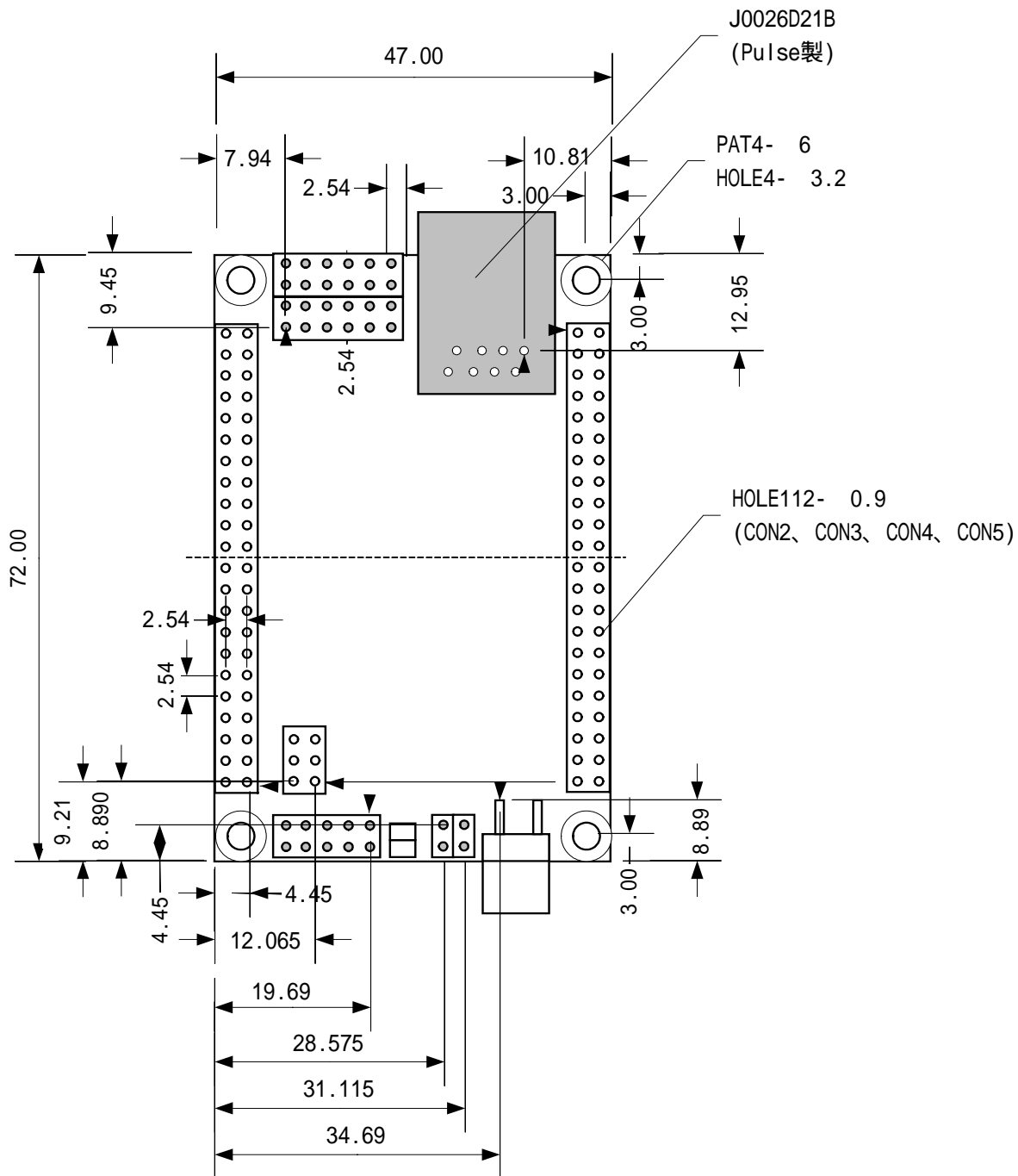
ボード側で使用しているコネクタ型式/メーカーは、J0026D21B/PULSE です。

表 7-12 Ethernet 10/100 Base-T

番号	信号名	I/O	機能
1	TX+		差動ツイストペア出力+
2	TX-		差動ツイストペア出力-
3	RX+		差動ツイストペア入力+
4			75 終端 (4 番ピンと 5 番ピンはショートしています)
5			75 終端 (4 番ピンと 5 番ピンはショートしています)
6	RX-		差動ツイストペア入力-
7			75 終端 (7 番ピンと 8 番ピンはショートしています)
8			75 終端 (7 番ピンと 8 番ピンはショートしています)

8. 基板形状図

本ボードの基板形状図を図 8-1に示します。



[単位:mm]

図 8-1 SUZAKU-V の基板形状

9.FPGA プロジェクト構築方法(例 UART の追加方法)

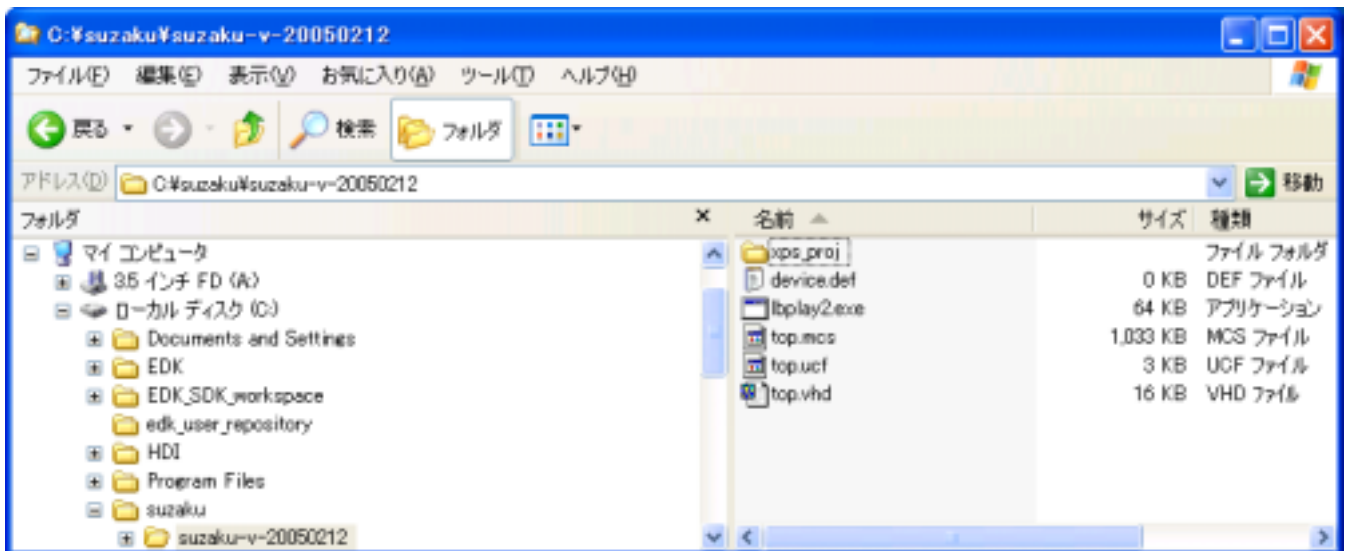
例として添付 CD-ROM のデフォルトの FPGA プロジェクトに、UART を追加する方法を説明します。

9.1. 添付 CD-ROM の fpga_proj プロジェクトの展開

添付 CD-ROM の¥fpga_proj¥suzaku-v の 圧縮ファイル 'suzaku-v-*****.zip' (*は更新日)をハードディスクに展開します。

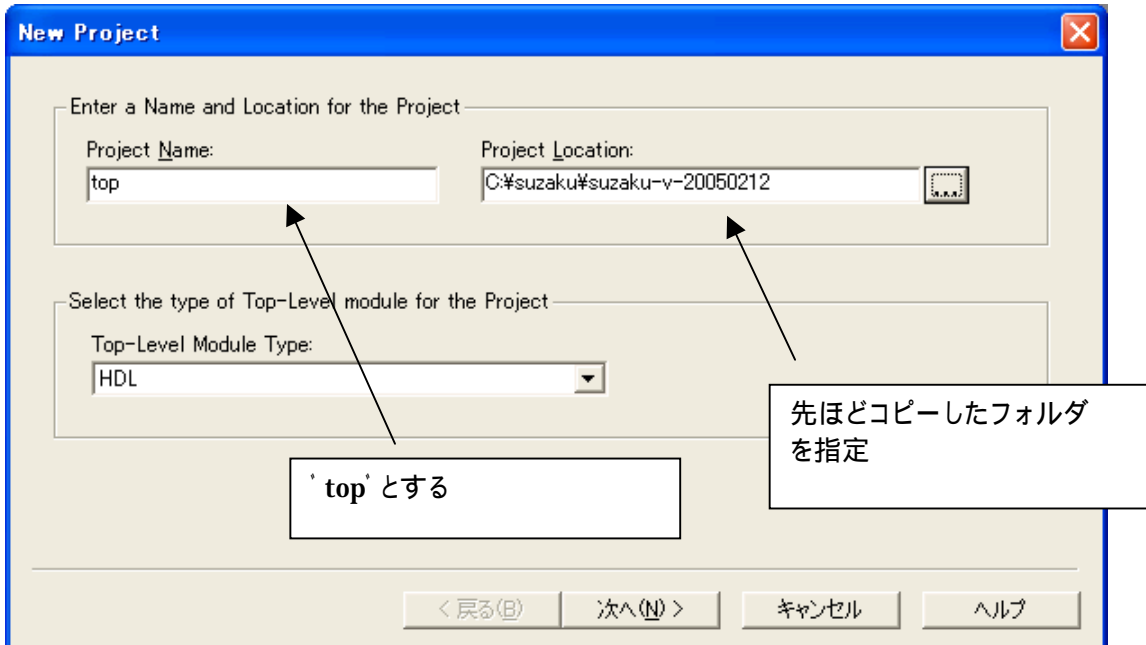
展開後はのフォルダ構成は以下のようになっています。

xps_proj	: EDK のプロジェクトフォルダ
top.vhd	: プロジェクトトップファイル。'xsp_proj.xmp' を呼び出しています。
top.ucf	: FPGA ピンアサイン情報ファイル。
top.mcs	: FPGA コンフィグレーションデータファイル。
lbplay2.exe	: FPGA プログラム用アプリケーション(コンフィグレーションデバイス TE7720 用)
device.def	: FPGA プログラム用アプリケーション設定ファイル



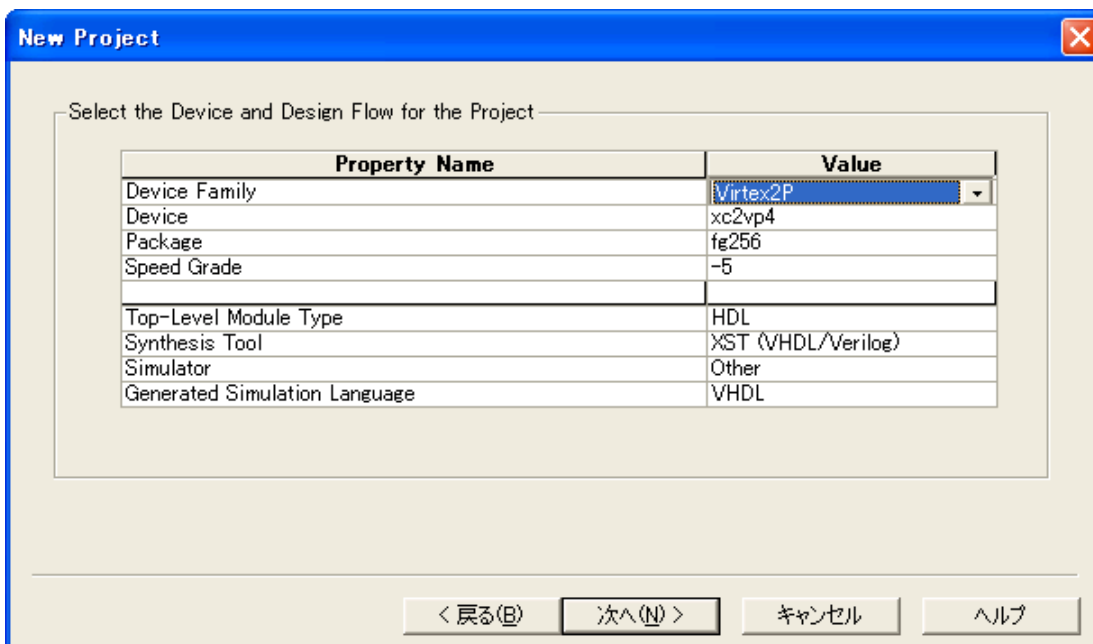
9.2. 新規プロジェクトの作成

Xilinx Project Navigator を起動し、'File' メニューから 'New Project' をクリックします。
Project Name を 'top' とし、Project Location を先ほどプロジェクトを展開したフォルダを指定します。最後に '次へ' をクリックします。

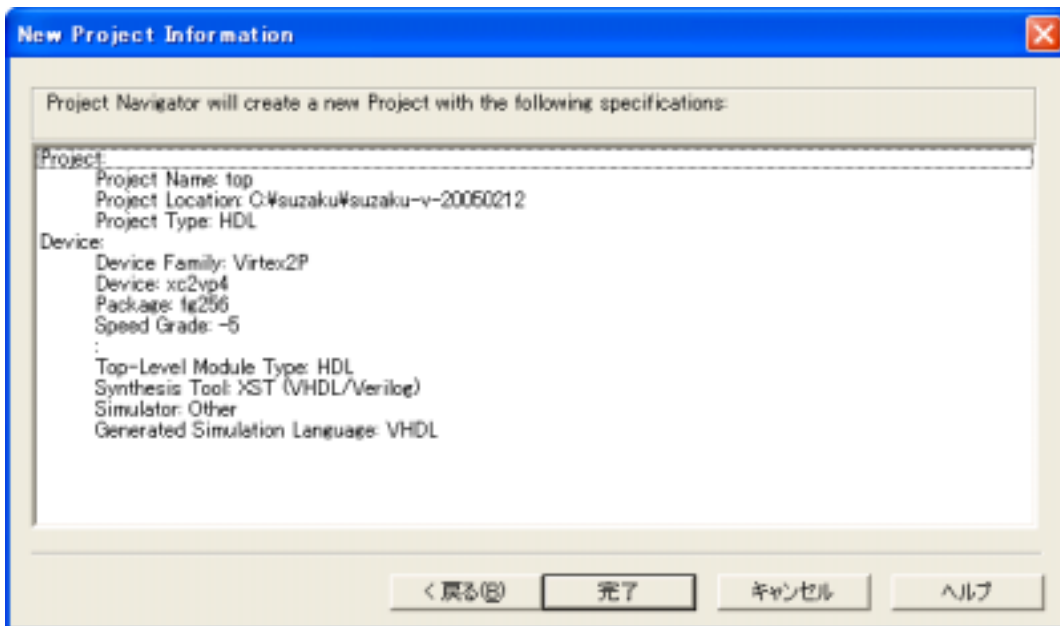


Select the Device and Design Flow for Project を以下の設定にします。

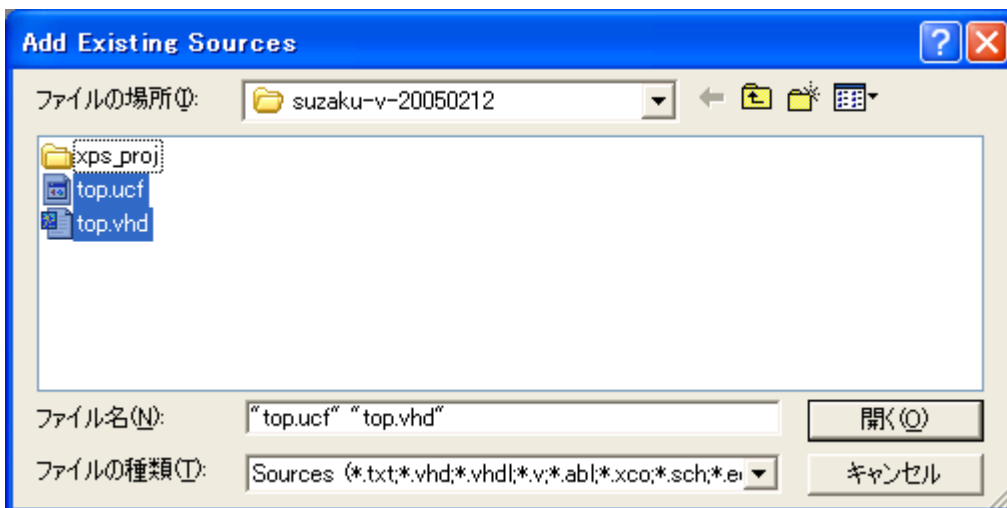
Device Family	-----	Virtex2P
Device	-----	xc2vp4
Package	-----	fg256
Speed Grade	-----	-5
Synthesis Tool	-----	XST(VHDL/Verilog)



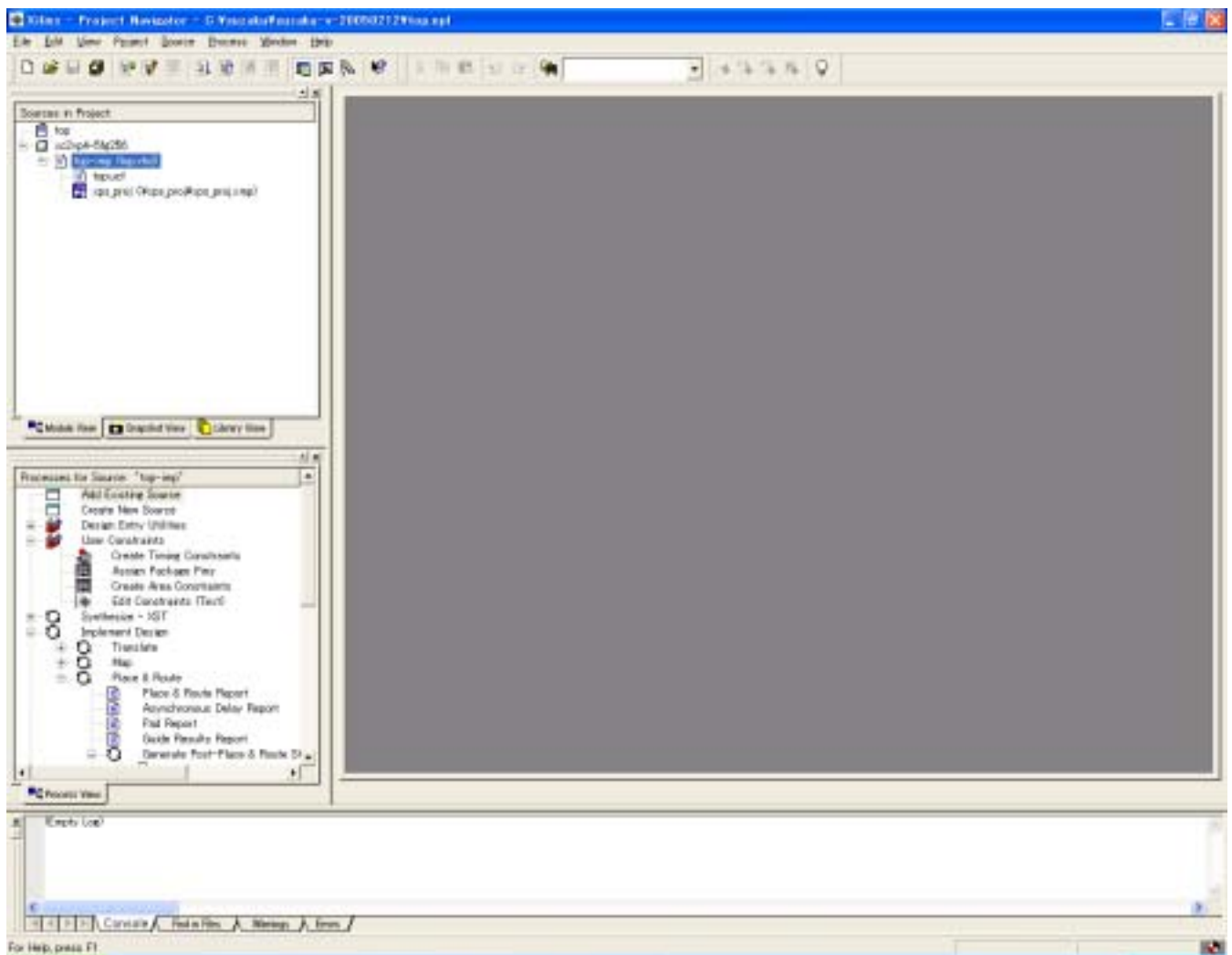
以下の画面が出るまで '次へ' をクリックし、最後に '完了' をクリックします。



'Project' メニューから 'Add Sources' をクリックします。
'top.ucf' と 'top.vhd' を選択し、'開く' をクリックします。

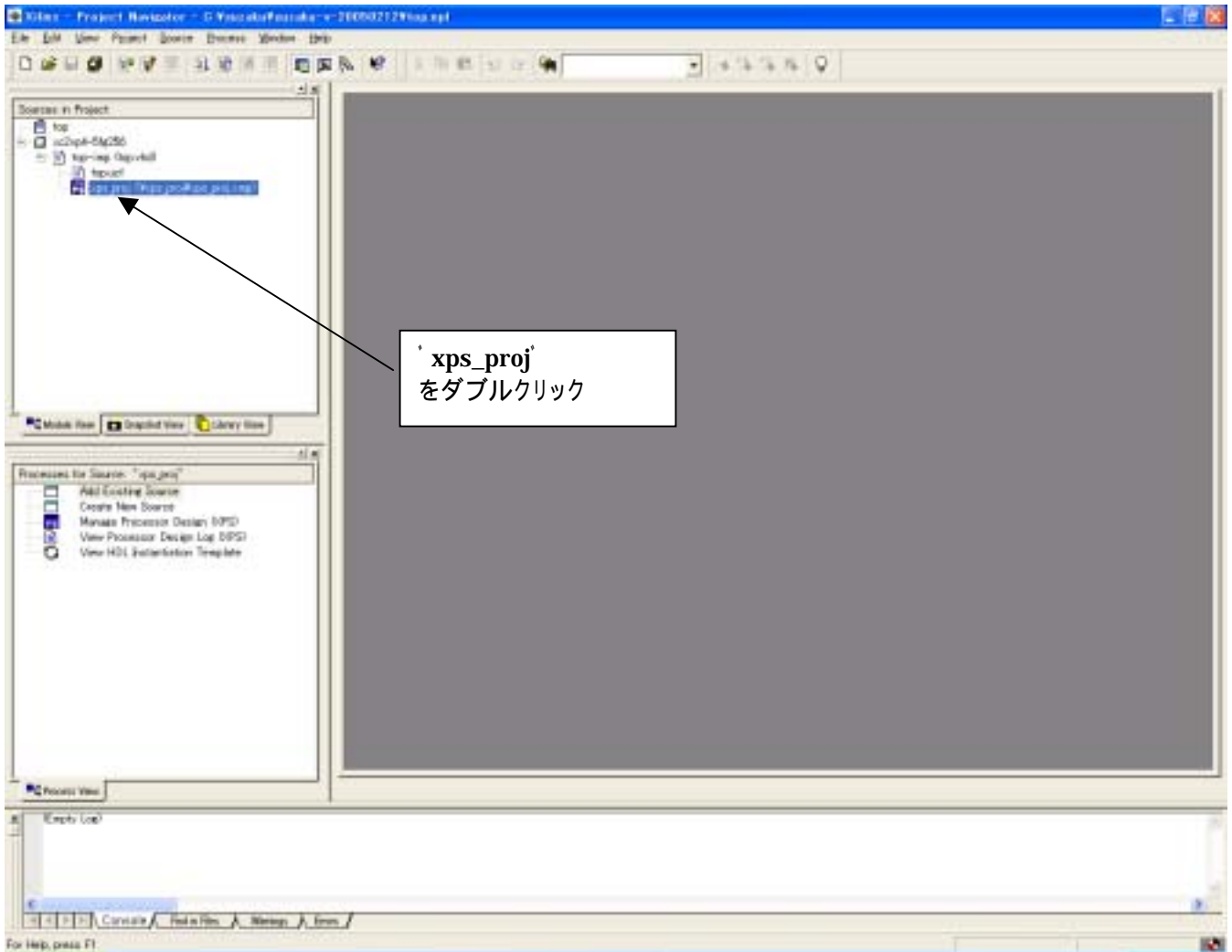


以上で新規プロジェクトができました。
下記のような表示になります。



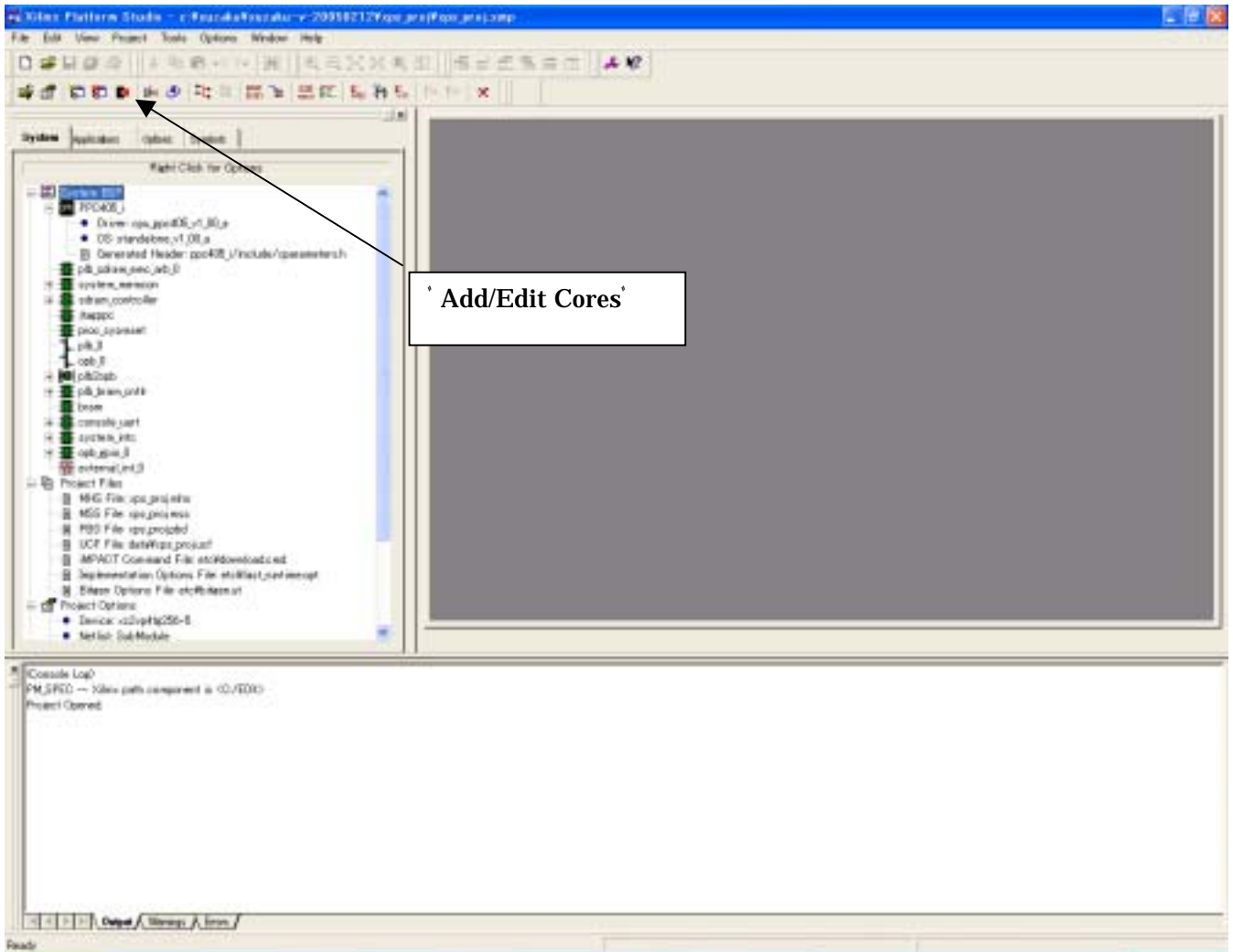
9.3. Platform Studio の設定

まず、'Project Navigator' から 'xps_proj' をダブルクリックします。
'Platform Studio' が自動的に開きます。



'Platform Studio' が自動的に開きます。
ペリフェラルコアを新規追加するのに、'Add/Edit Cores' をクリックします。

(ペリフェラル追加せず、デフォルト構成のままコンパイルする場合は“9.4 Platform Studio コンパイルの実行”にお進みください)

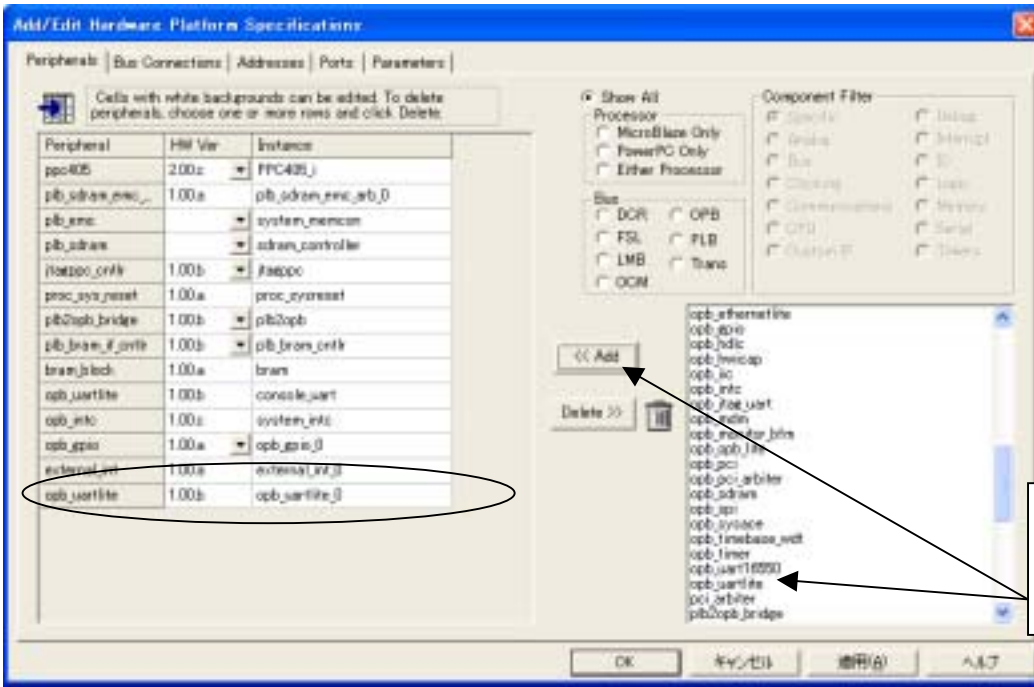


'Peripherals' タブで右側のペリフェラルコア一覧から 'opb_uartlite' を選択し、'Add' で追加し、'Instance' を指定します。

今回は、以下の設定としました。

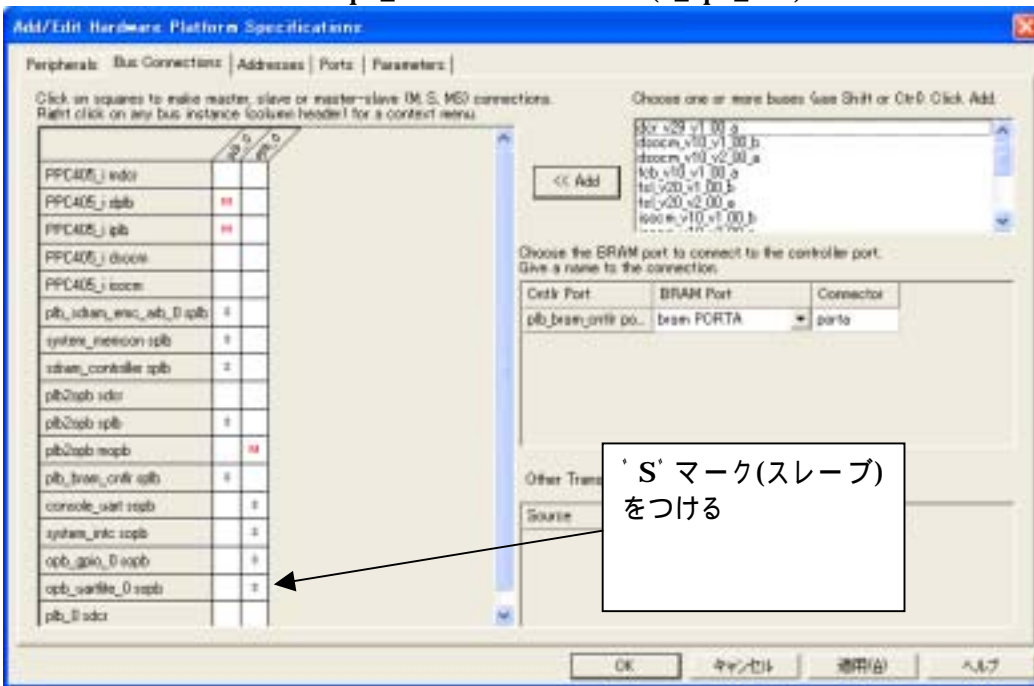
Instance opb_uartlite_0

その他のデフォルトのペリフェラルコア(PowerPC405~system_external_int)構成は、Linux を動作させる最小構成です。



'opb_uartlite' を
選択し、'Add' をクリッ
ク

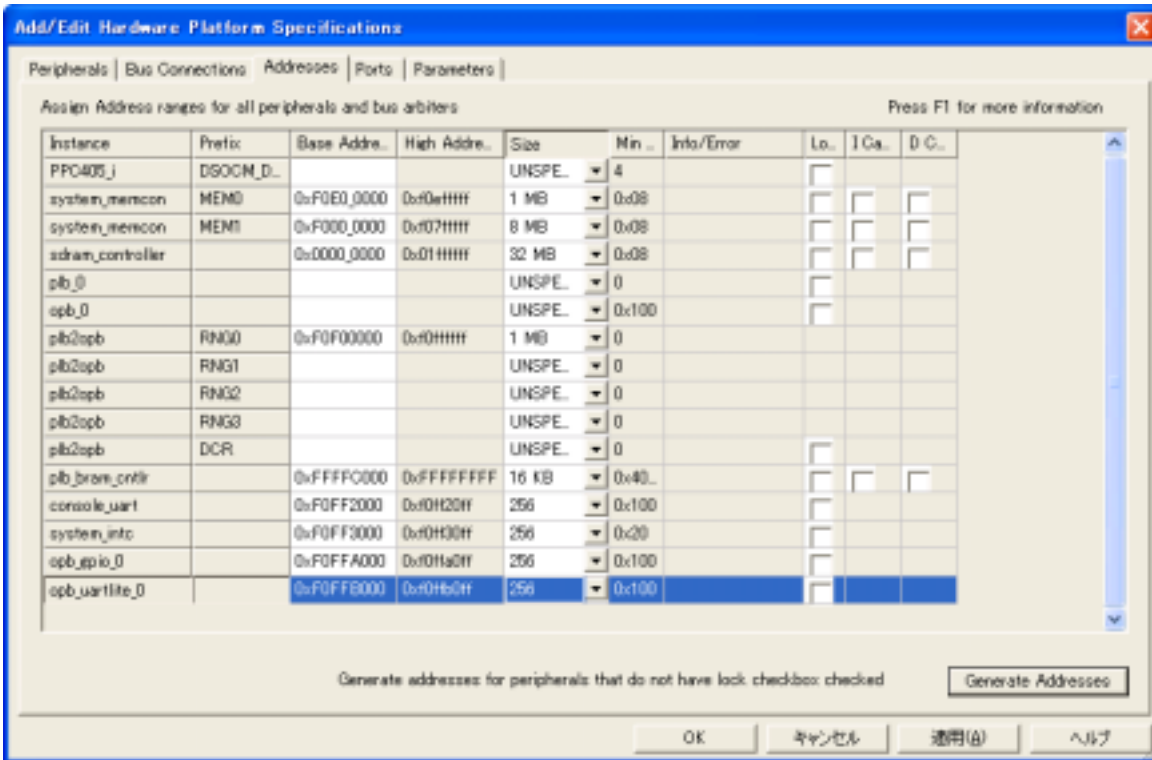
Bus Connections タブで opb_uartlite の OPB バス(d_opb_v20)をクリックして 'S' マーク(スレーブ)をつけます。



'S' マーク(スレーブ)
をつける

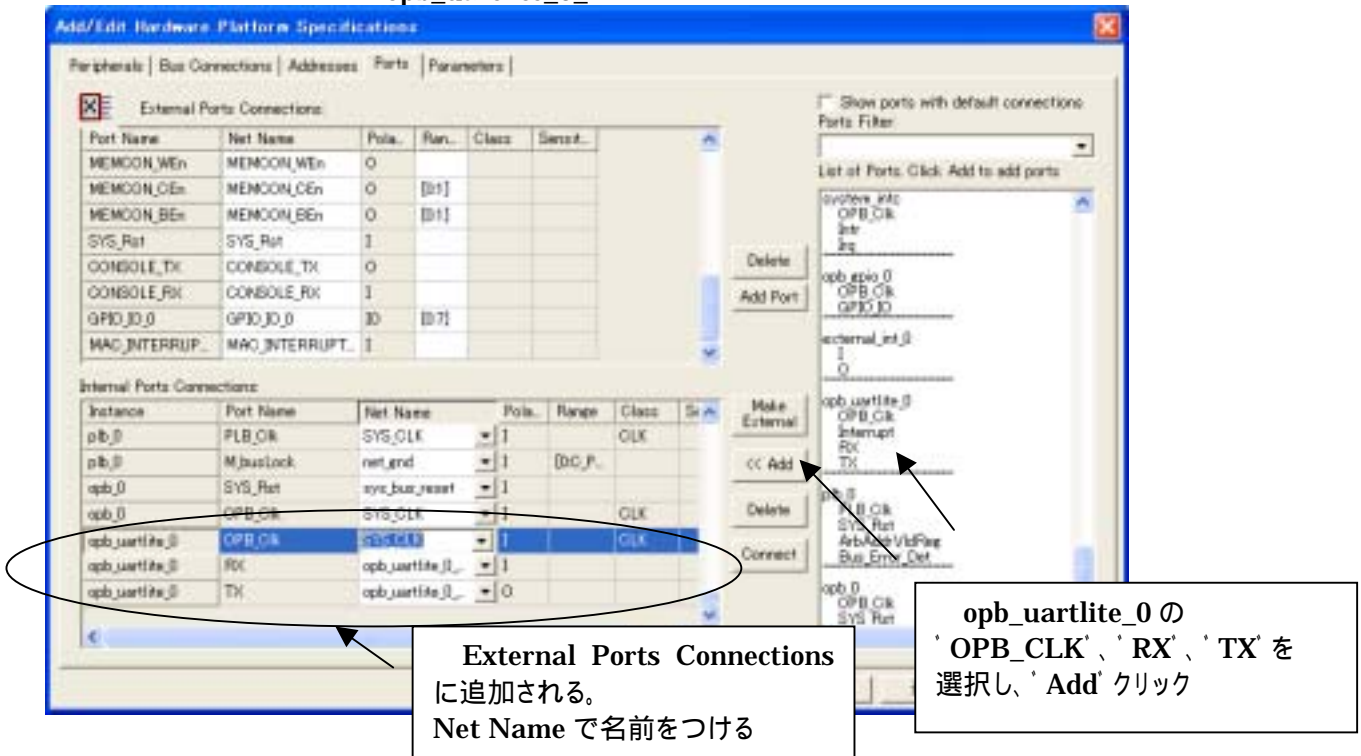
'Addresses' タブで 'opb_uartlite' の Base Address と Size を以下のように設定します。
 今回は、以下の設定としました。

Base Address **0xF0FFB000**
Size **256**

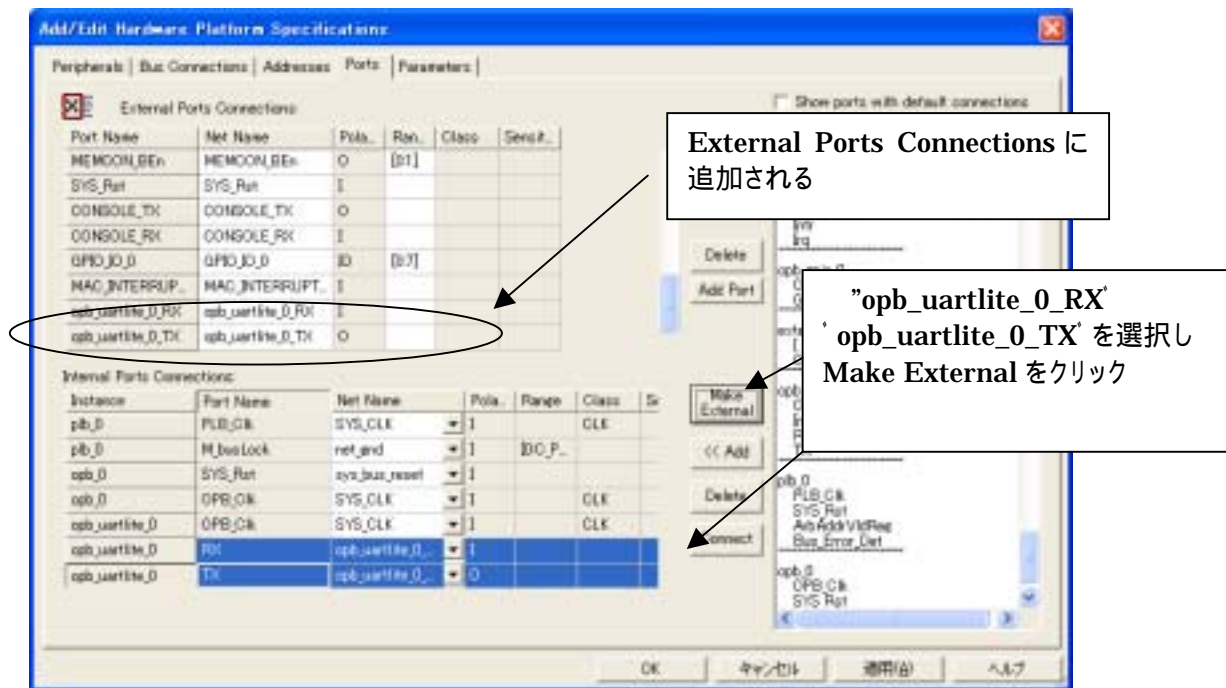


Ports タブで、右側の信号一覧の中から、' opb_uartlite_0 ' の ' OPB_CLK'、' RX'、' TX' を選択し、' Add' をクリックします。

Net Name にそれぞれ以下の名前をつけます。(Net Name は大小文字を区別します。間違わないようにしてください)
 OPB_CLK SYS_CLK(大文字)
 RX opb_uartlite_0_RX
 TX opb_uartlite_0_TX



' opb_uartlite_0_RX'、' opb_uartlite_0_TX' を選択し、' Make External' をクリックします。External Ports Connection に追加されます。ここで登録した名前が、top.vhd(プロジェクトトップファイル)で component として呼び出すときの port 名になります。



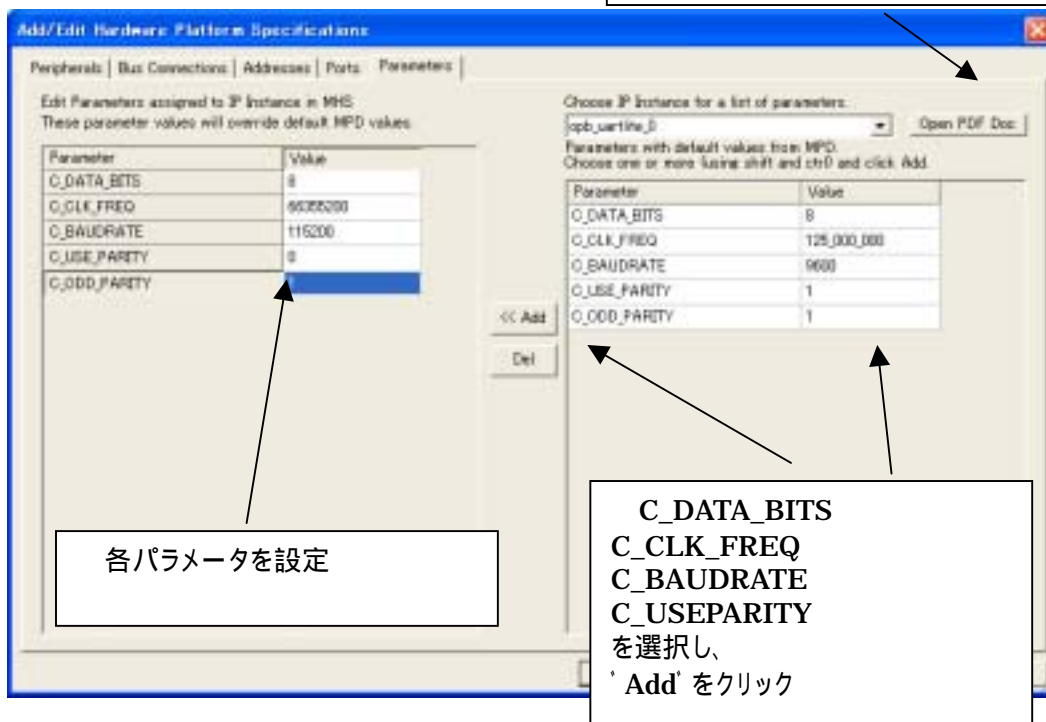
'parameters' タブで右側の設定項目一覧から、全てのパラメータを選択し、'Add' をクリックします。次にペリフェラルのパラメータを指定します。

今回は以下の設定にしました。

C_DATA_BITS	8	
C_CLK_FREQ	66355200	<= SUZAKU-V の発振器(3.6864MHz を DCM で 18 逓倍)
C_BAUDRATE	115200	
C_USEPARITY	0	

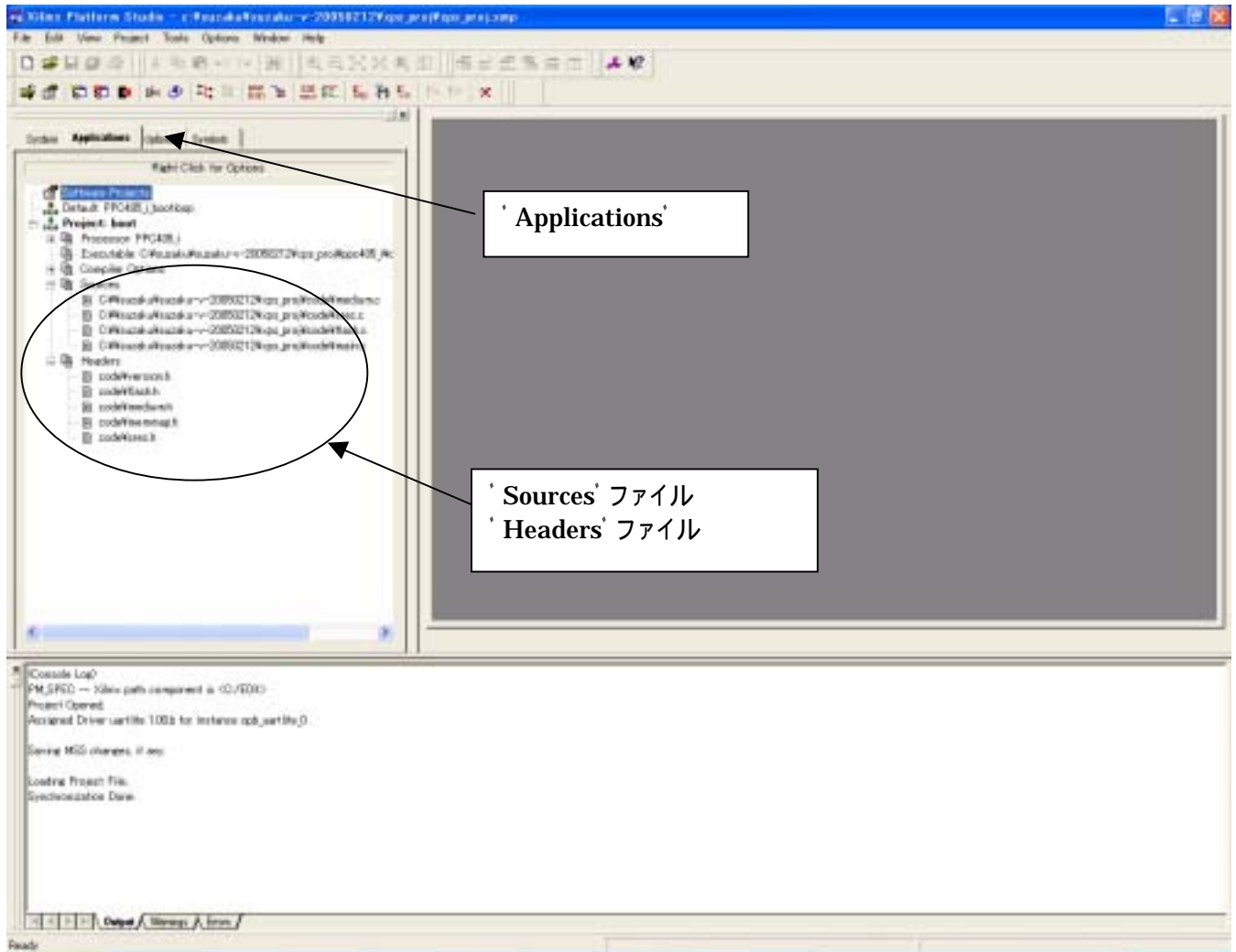
各ペリフェラルのデータシートを見る場合は、'Open PDF Doc' をクリックします
最後に 'OK' ボタンを押します。

データシートを見る場合、
このボタンをクリックする



BRAM のソフトウェアソースを変更する場合は、Applications タブの 'Sources' ファイルまたは、'Headers' ファイルをダブルクリックし直接編集するか、'delete file' で削除し、新しいファイルを追加します。

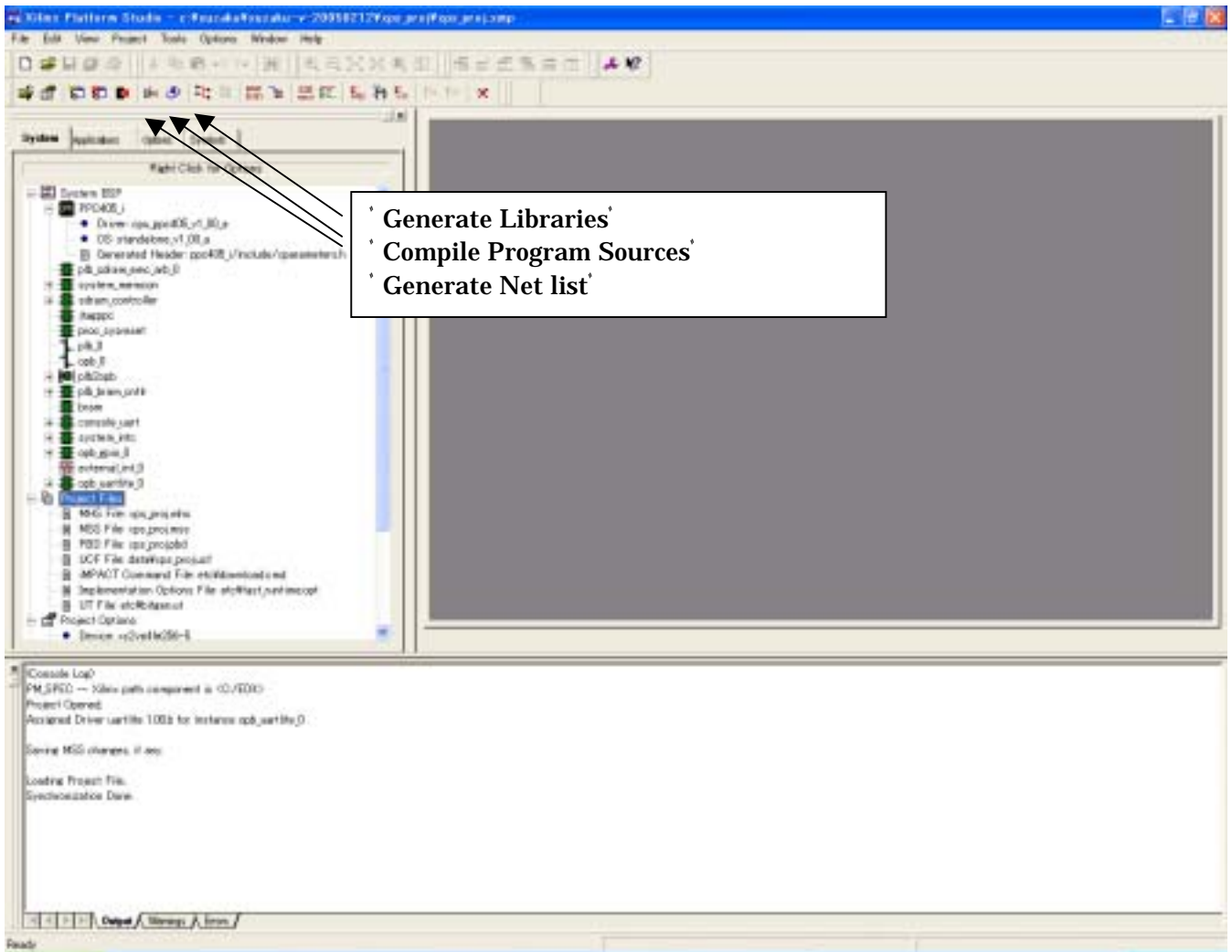
変更しないでそのまま使用の場合は、次に進んでください。
デフォルトのソフトウェアソースは、Hermit 及び Linux を動作させるための初期化コード等が記述されています。



9.4. Platform Studio コンパイルの実行

'Generate Libraries'、'Compile Program Sources'、'Generate Net list' を順番にクリックし、コンパイルします。

以上で Platform Studio での作業は終わりです。



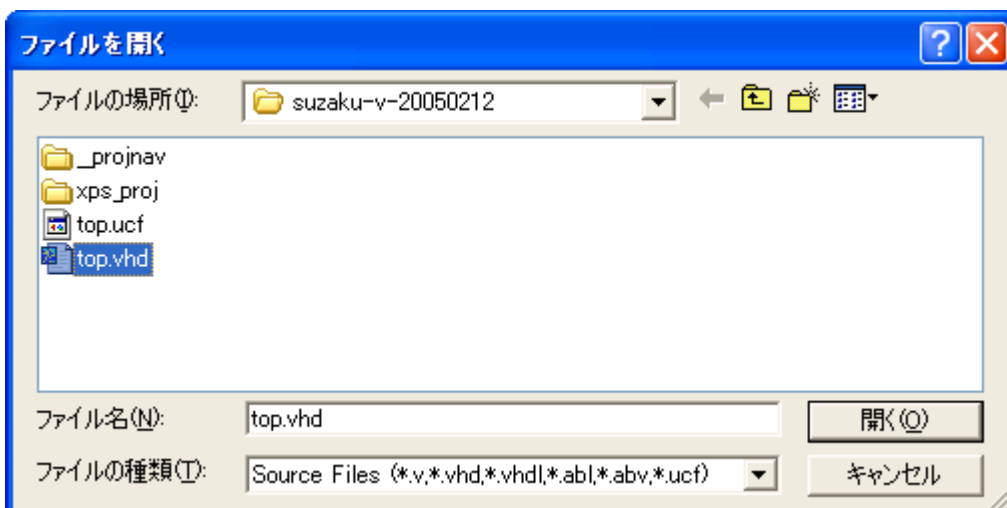
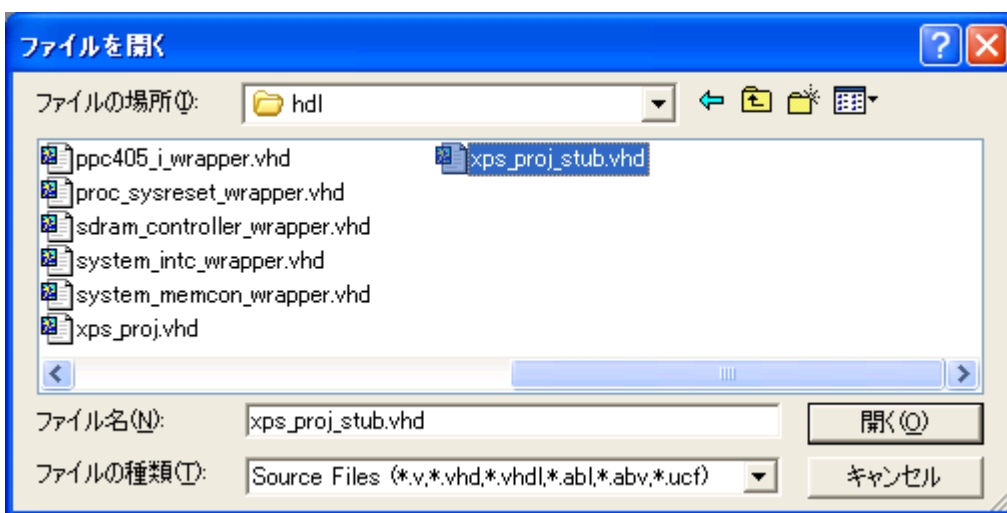
9.5. プロジェクトのトップファイル編集

‘Platform Studio’で自動生成されたファイルを、プロジェクトトップファイルで呼び出すように編集します。編集するファイルは `top.vhd` と `top.ucf` の2つです。

まずは、‘Project Navigator’にもどり、‘File’メニューの‘Open’で以下の2つのファイルを開きます。

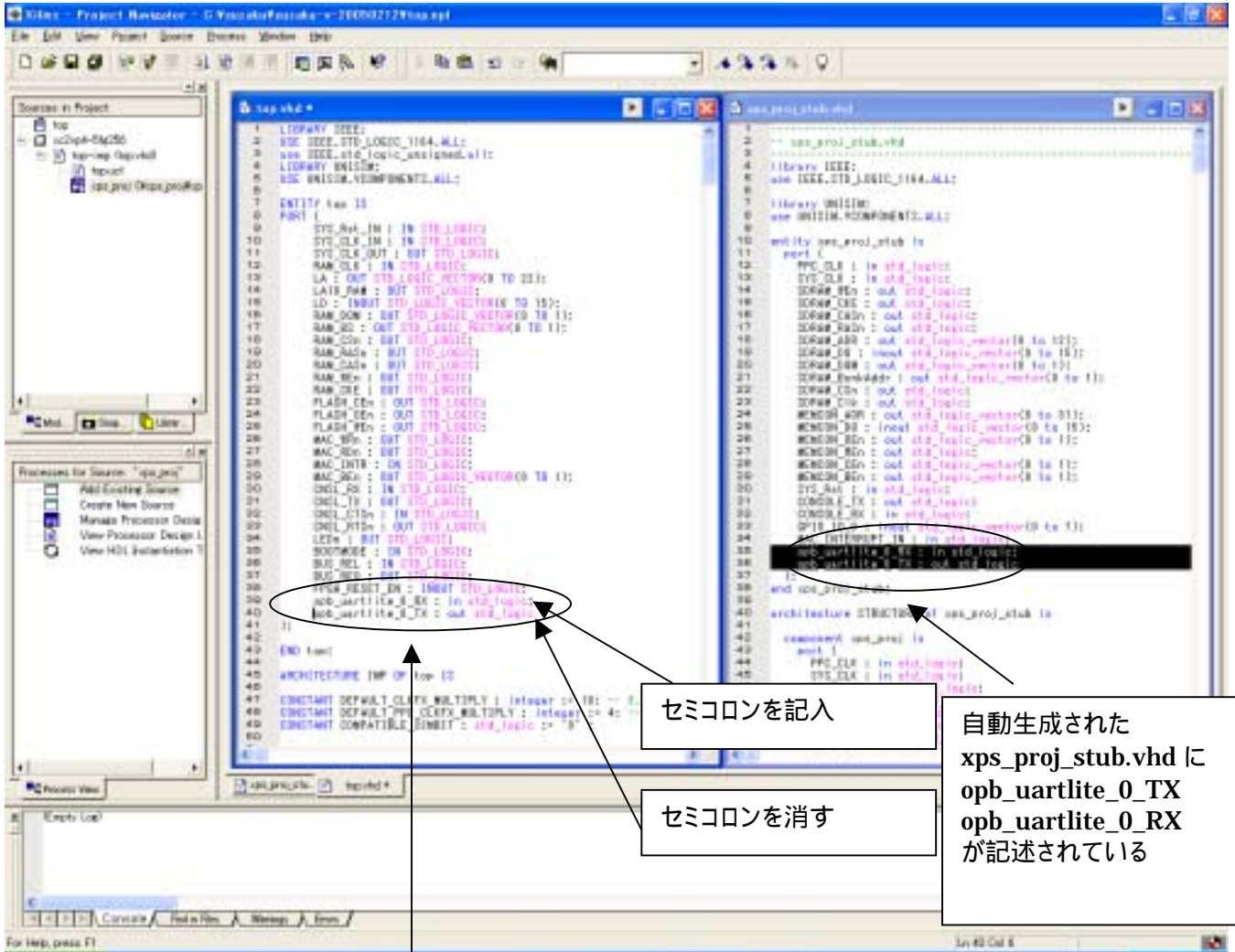
```
xps_proj¥hdl¥xps_proj_stub.vhd
top.vhd
```

(ペリフェラル追加せず、デフォルト構成のままコンパイルする場合は“[9.6 Project Navigator コンパイルの実行](#)”へお進みください)

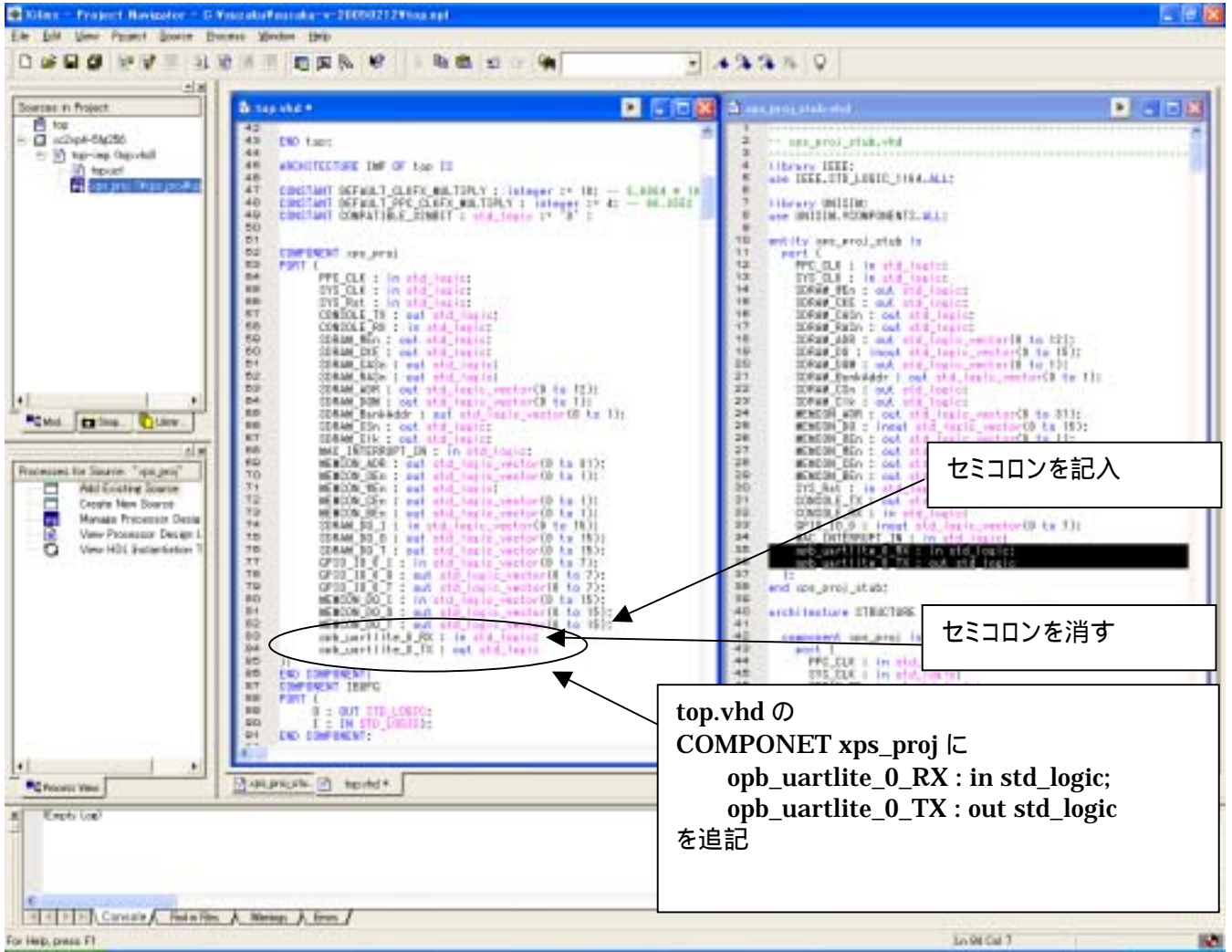


‘xps_proj_stub.vhd’ は、XPS で PowerPC405 と周辺ペリフェラルコアを生成させた時に自動的に作成されるファイルです。

このファイルに記述されている Port 名や Component 名を top.vhd に追記していきます。



top.vhd の ENTITY top IS の port に
 opb_uartlite_0_RX : in std_logic;
 opb_uartlite_0_TX : out std_logic
 を追記



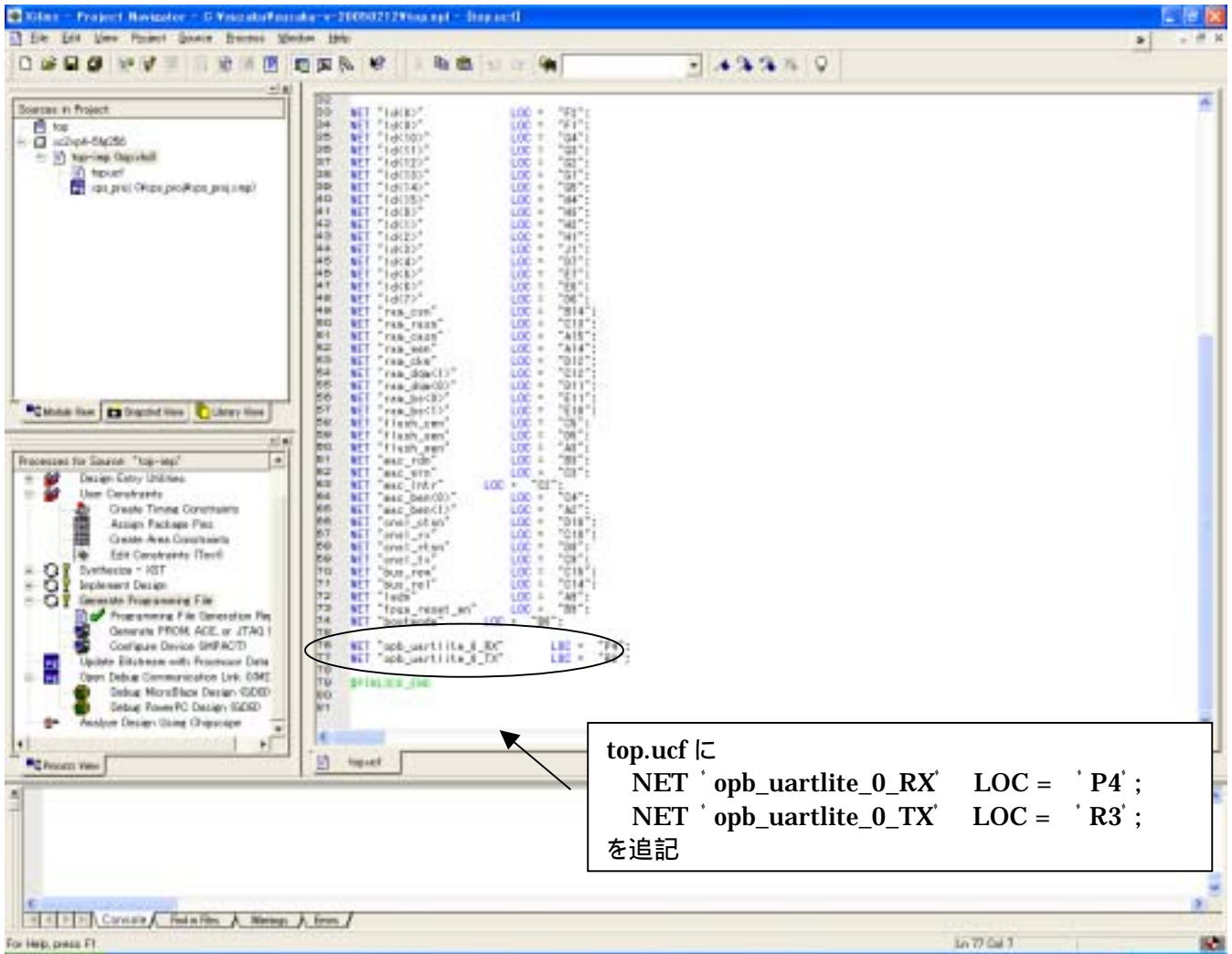
The screenshot shows the Xilinx Project Navigator interface. The main editor displays two VHDL files: `xps_proj_i` and `xps_proj_stub.vhd`. The `xps_proj_i` file contains an instance declaration for `xps_proj` with various port mappings. The `xps_proj_stub.vhd` file contains the internal logic for the `xps_proj` component, including port declarations and internal signal assignments. Two callouts with arrows point to specific lines in the `xps_proj_i` file: one points to line 330, which is `opb_uartlite_0_RX => opb_uartlite_0_RX,` and another points to line 331, which is `opb_uartlite_0_TX => opb_uartlite_0_TX`. A text box at the bottom right provides instructions on how to modify the instance text in `top.vhd`.

カンマを記入

カンマを消す

**top.vhd の xps_proj_i : xps_proj のインスタンス文に
opb_uartlite_0_RX => opb_uartlite_0_RX,
opb_uartlite_0_TX => opb_uartlite_0_TX
を追記**

¥suzaku_v00¥xps_proj¥top.ucf ファイルを開き、Virtex- Pro のフリー I/O ピンに信号を割当てます。
 今回は' CN5 の 3 番ピン(P15)、4 番ピン(P14)' に割当てることとします。
 以上でプロジェクトトップファイルの編集は完了です。

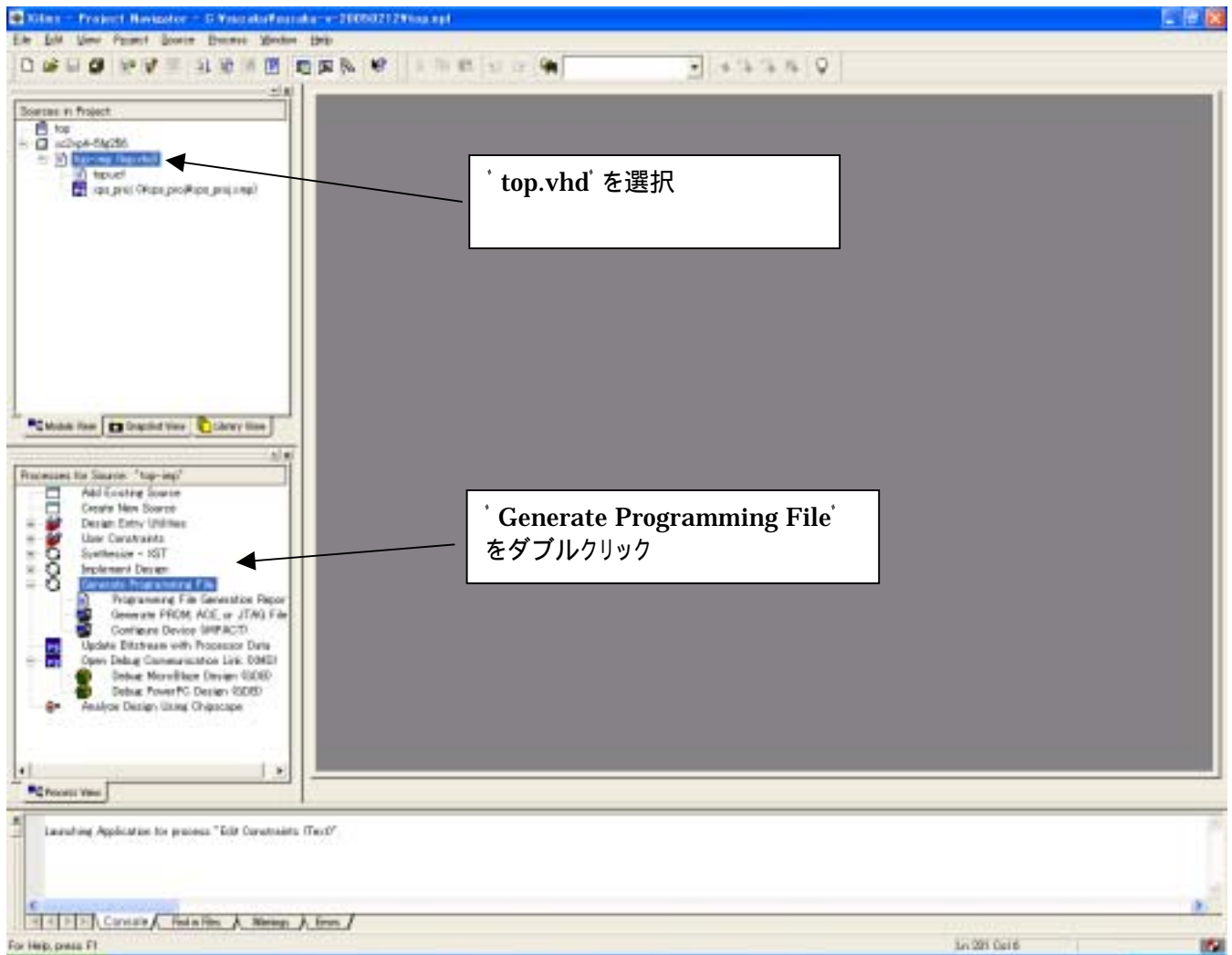


9.6. Project Navigator コンパイルの実行

'Sources in Project' で 'top.vhd' を選択し、'Generate Programming File' をダブルクリックし、コンパイルを実行します。

以上で設定、コンパイルが全て終了し、'top.bit' ファイルが生成されます。

(top.bit は FPGA コンフィグレーション用の元ファイルになります。実際にコンフィグレーションプログラムするためには、top.bit を MCS ファイルに変換する必要があります。次項の 'FPGA コンフィグレーション' を参照ください)

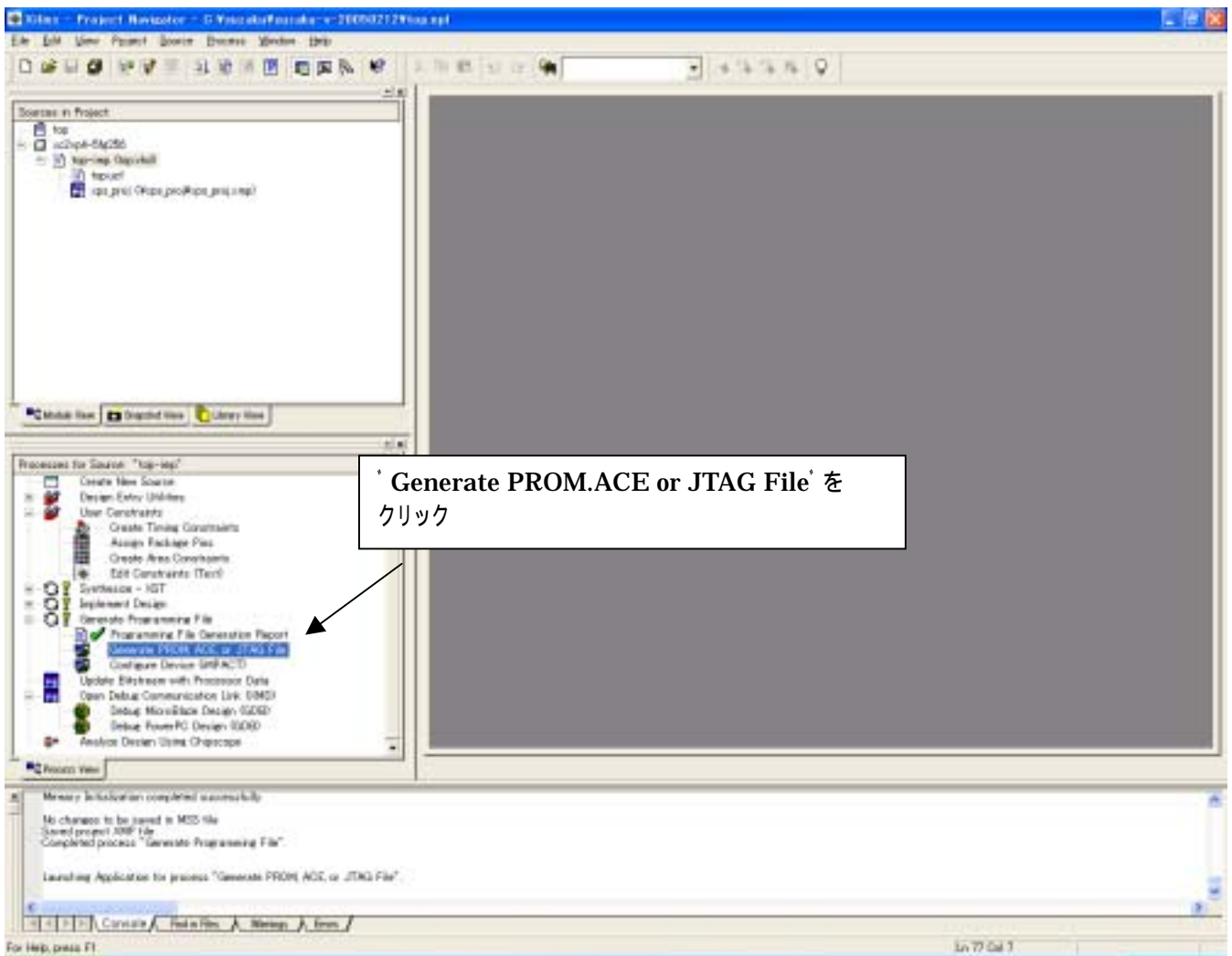


10. FPGA コンフィグレーション

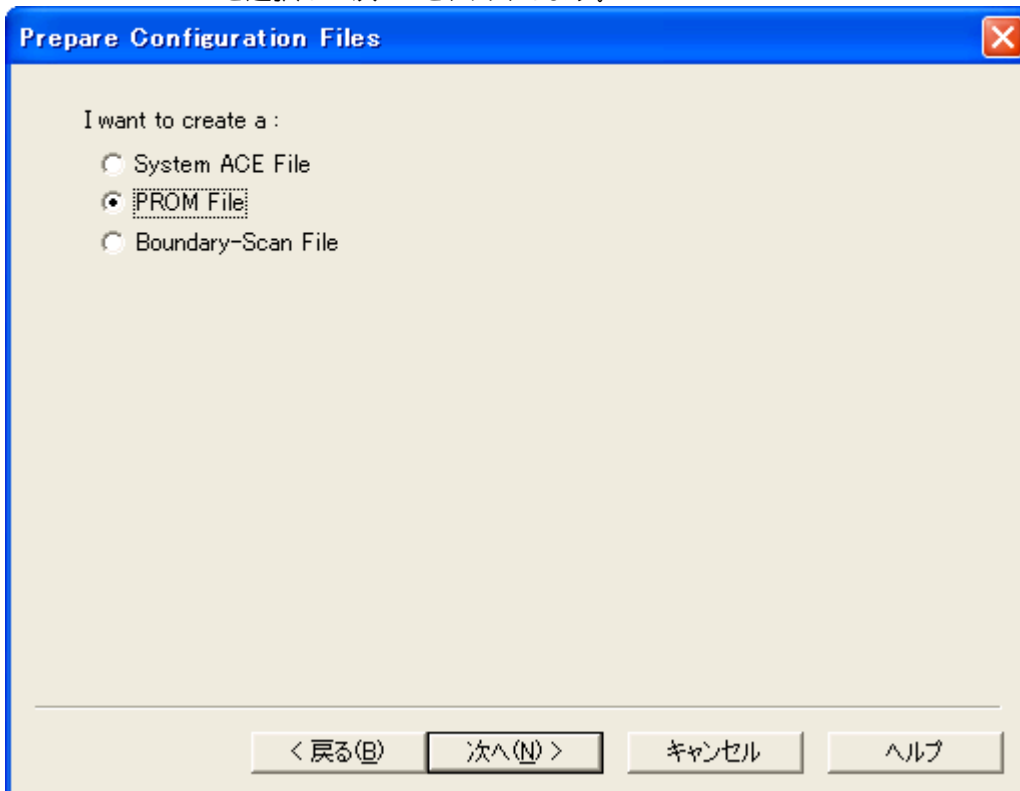
SUZAKU-V のコンフィグレーション方法について説明します。

10.1. BIT ファイルから MCS ファイルへの変換

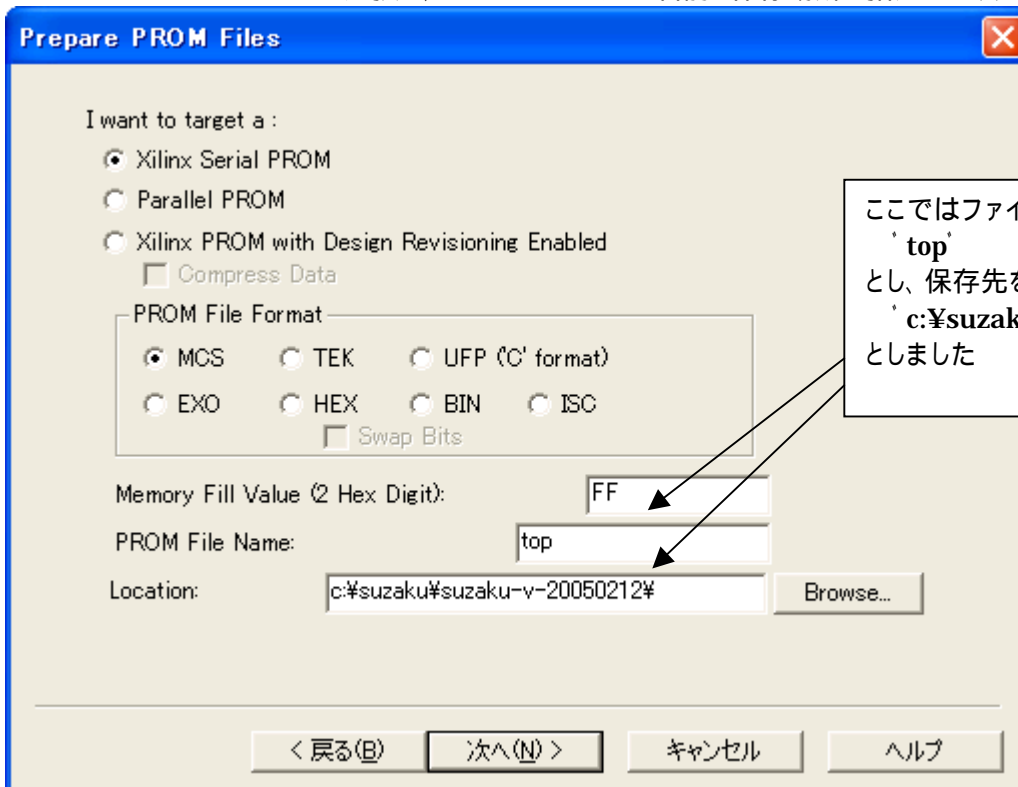
'Generate PROM.ACE or JTAG File' をクリックします。



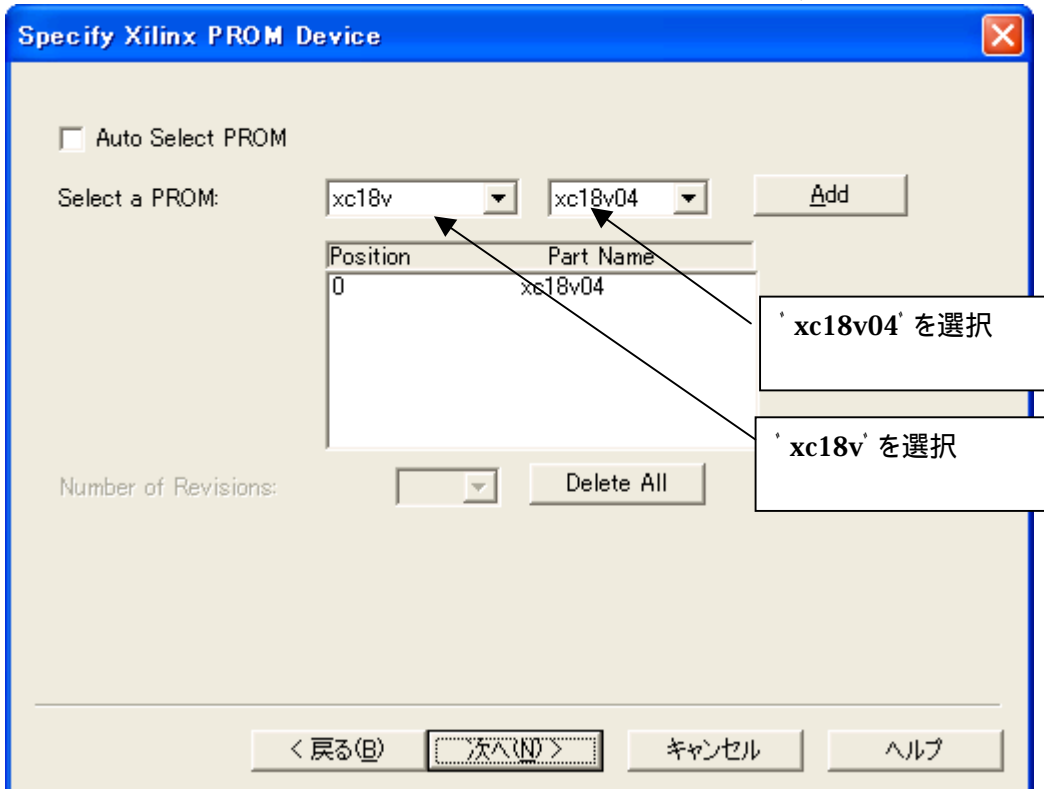
'PROM File' を選択し '次へ' をクリックします。



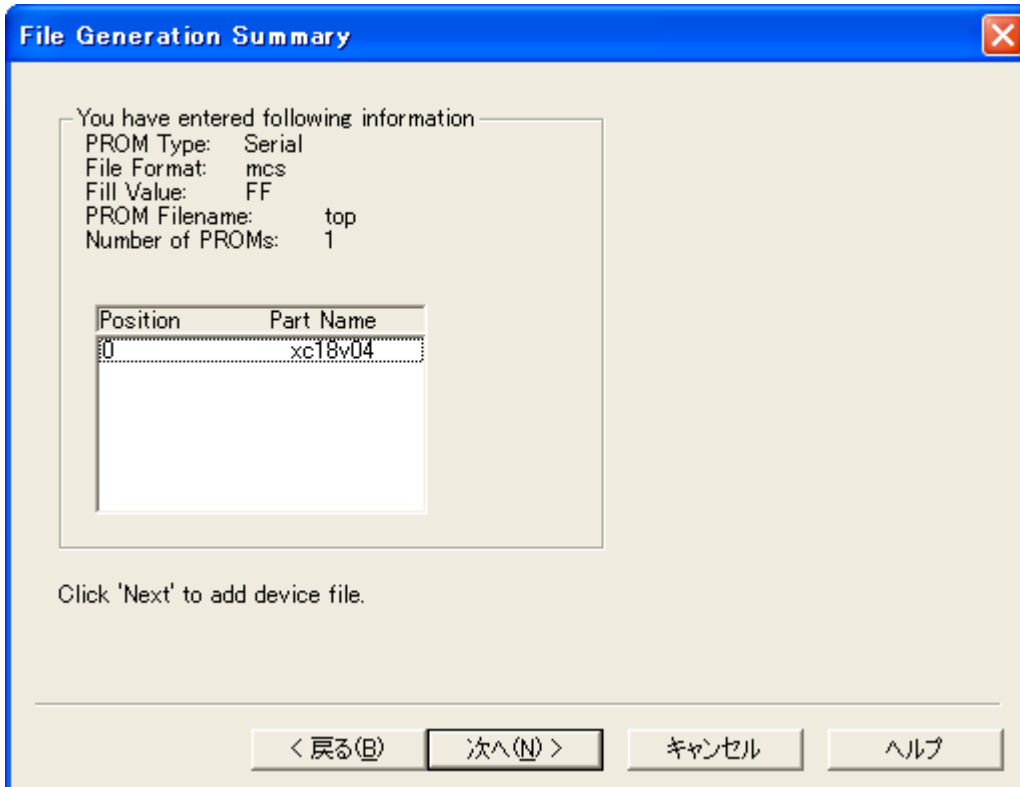
'Xilinx Serial PROM' を選択し、PROM ファイルの名前と保存場所を指定し '次へ' をクリックします。



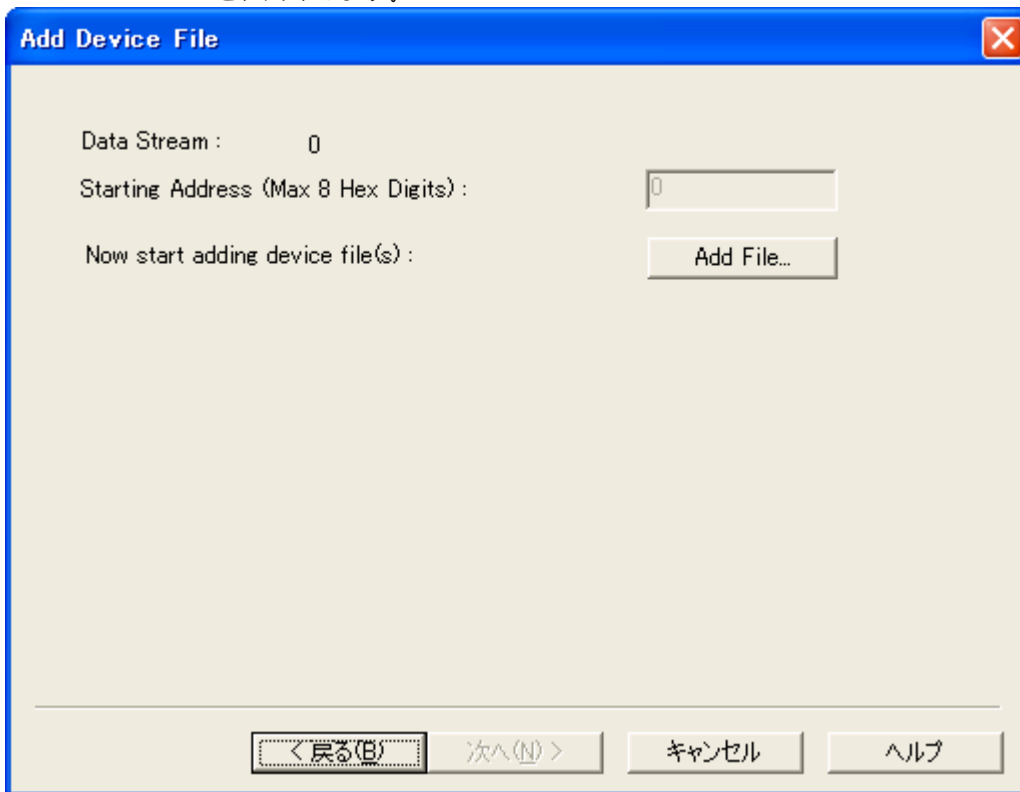
'xc18v 04' を選択し 'Add' をクリックし '次へ' をクリックします。



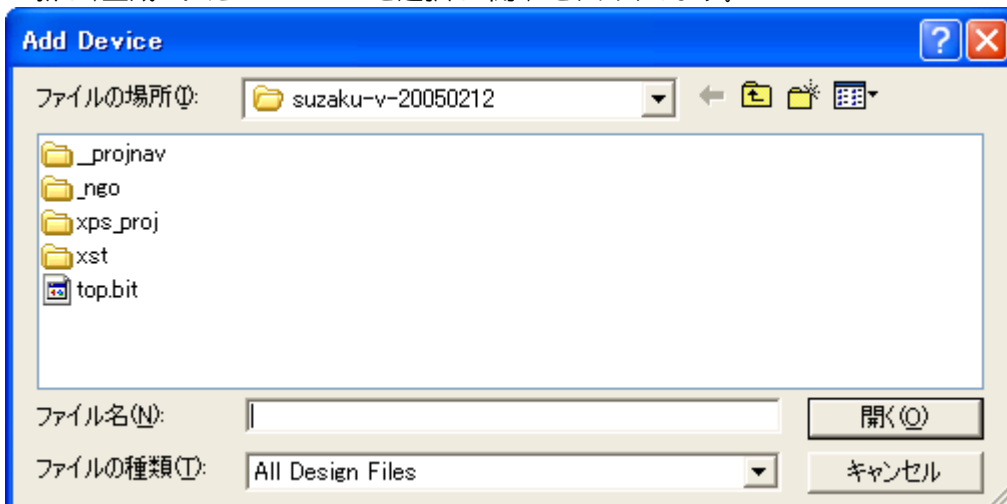
'次へ' をクリックします。



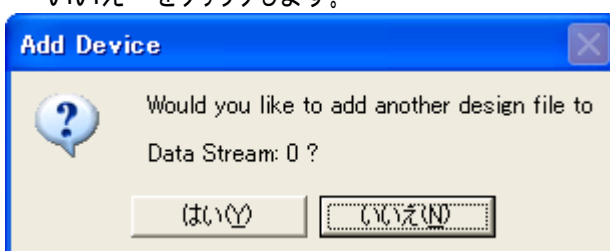
'Add File...' をクリックします。



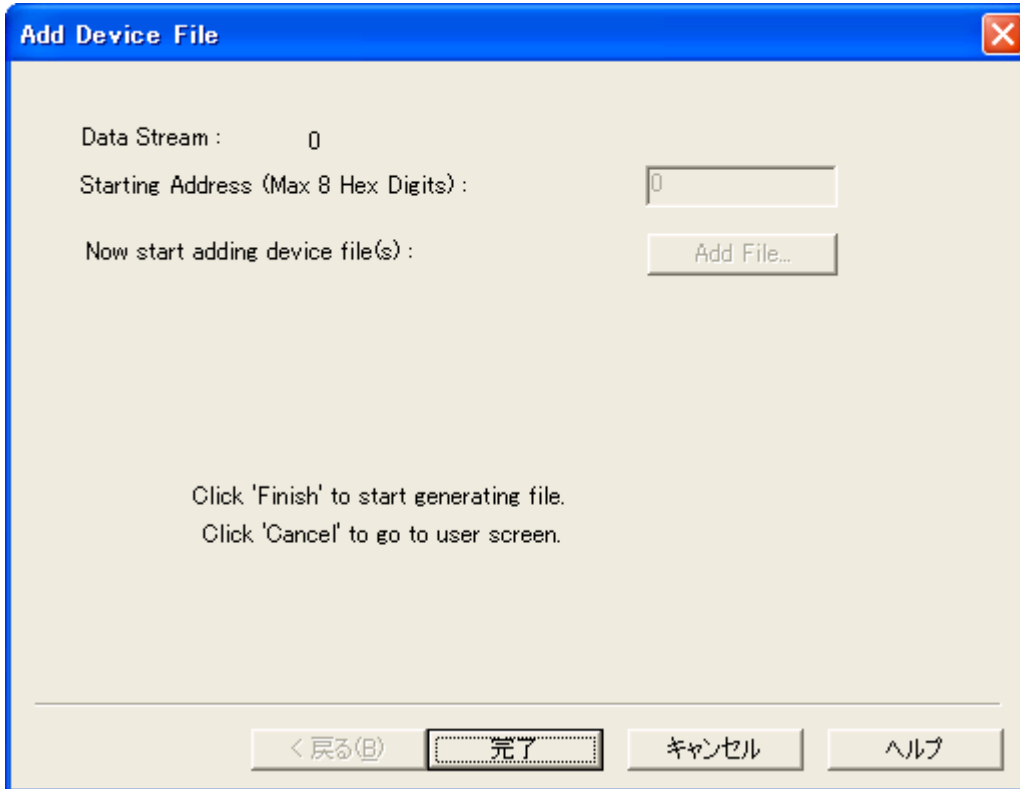
新しく生成された 'BIT file' を選択し '開く' をクリックします。



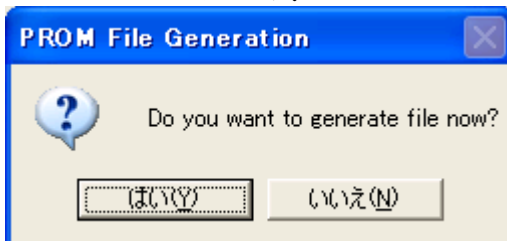
'いいえ' をクリックします。



‘完了’ をクリックします。



‘はい’ をクリックします。



以上で BIT ファイルから MCS ファイルへの変換は終了です。

10.2. SUZAKU-V へコンフィグレーションデータのプログラム

前項で生成した MCS ファイルを実際に SUZAKU-V にプログラムします。

SUZAKU-V では FPGA のコンフィグレーションに東京エレクトロニクスデバイスの TE7720 を使用しています。

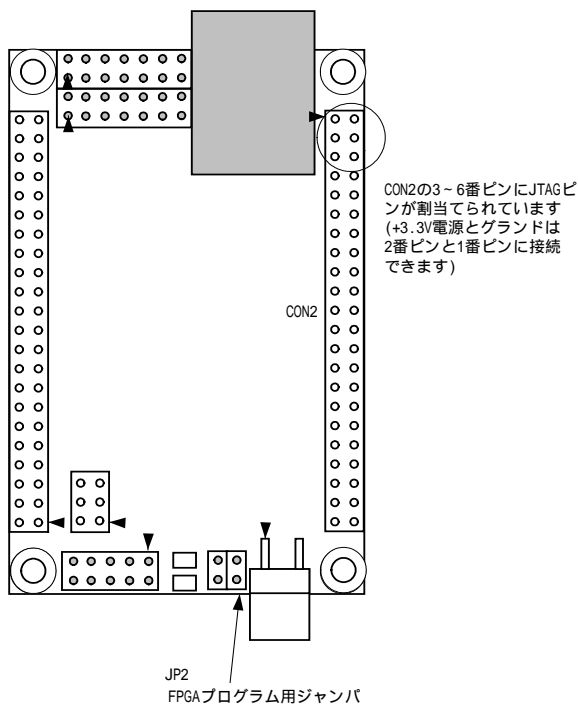
TE7720 の動作については、4.4.9 項 FPGA コンフィグレーションを参照ください。

また、TE7720 について東京エレクトロニクスデバイスのホームページから詳細資料をダウンロードできます

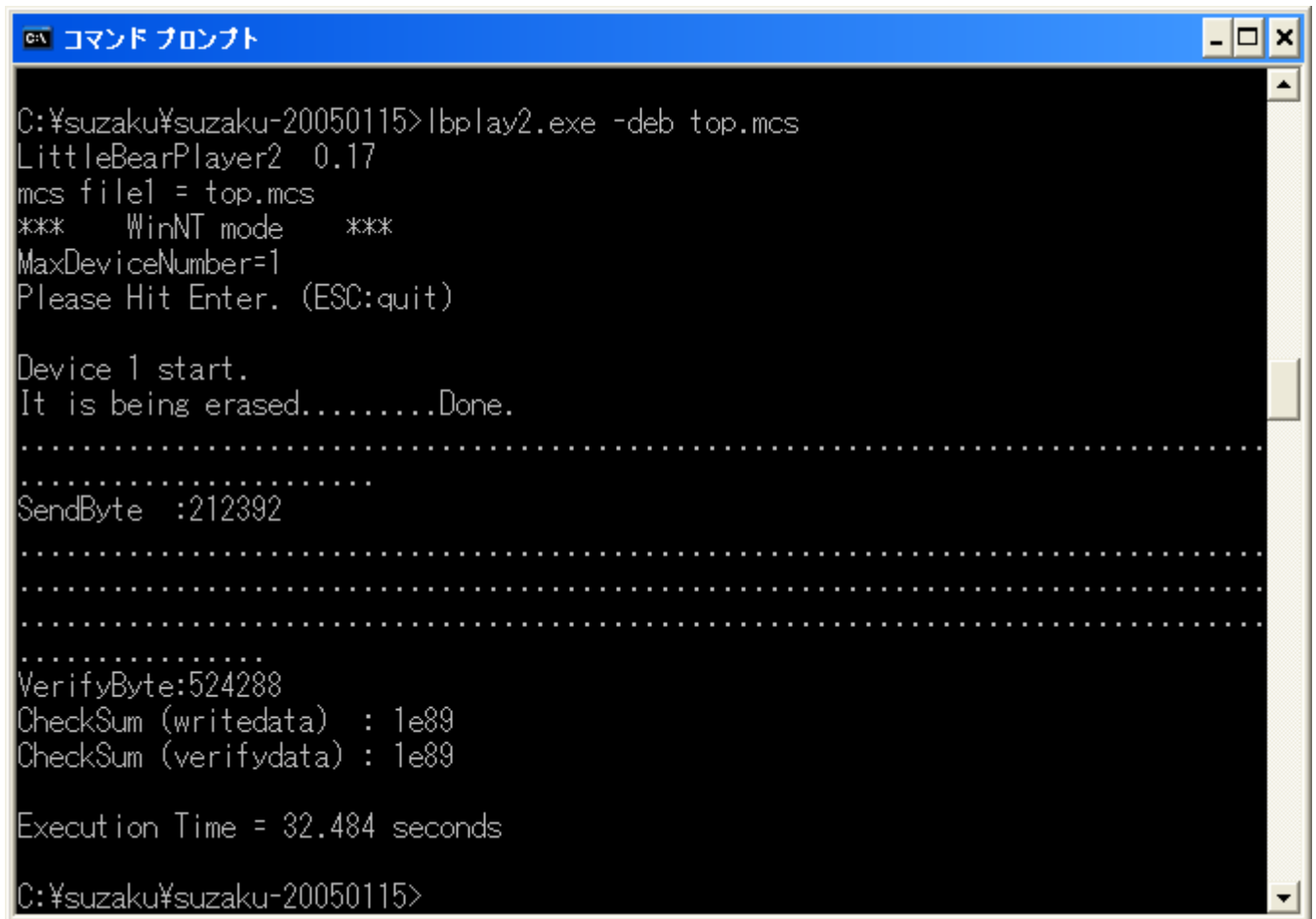
まず、新しく生成された 'MCS file' を 'device.def' と 'lbplay2.exe' と同じフォルダにコピーします。

('device.def' と 'lbplay2.exe' は、プロジェクトトップファイルと同じフォルダ 'szaku-v-*****' にも入っています。)

- ・SUZAKU-V の電源がオフとなっていることを確認してください。
- ・CON2 の 'FPGA プログラム用 JTAG' に Xilinx 製 Parallel Cable 等の JTAG ケーブルを接続します。
- ・JP2 ジャンパをショートします。



- ・SUZAKU-V の電源をオンにします。
- ・コマンドプロンプトを開き、先ほどの MCS file や 'device.def' 、 'lbplay2.exe' があるフォルダに移動します。
- ・ 'lbplay2 -deb top.mcs' とタイプします。
- ・以下のエラーが発生した場合は、CD-ROM の¥fpga_proj ¥lbplay2 driver install.txt に記載してある手順で、ドライバをインストールしてください。
"ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."



```
C:\¥suzaku¥suzaku-20050115>lbplay2.exe -deb top.mcs
LittleBearPlayer2 0.17
mcs file1 = top.mcs
*** WinNT mode ***
MaxDeviceNumber=1
Please Hit Enter. (ESC:quit)

Device 1 start.
It is being erased.....Done.
.....
SendByte :212392
.....
VerifyByte:524288
Checksum (writedata) : 1e89
Checksum (verifydata) : 1e89

Execution Time = 32.484 seconds

C:\¥suzaku¥suzaku-20050115>
```

・プログラム完了後、チェックサム値が合っていることを確認し、SUZAKU-V の電源をオフにします。
何かの原因でエラーを起こし、チェックサムが違っていた場合は、SUZAKU-V を動作させないでください。
間違ったデータをプログラムしたり、またプログラム中に何かの原因でエラーを起こした場合は、電源を切断し、必ず JP2' をショートし、再プログラミングを行ってください。

・JP2 ジャンパをオープンにします。

・SUZAKU-V の電源をオンにします。

・新しいコンフィグレーションデータでプログラムされた SUZAKU-V が起動します。

尚、この例では、UART を外部 I/O にピンアサインしているため、+3.3V の入出力レベルとなります。このため、パソコン等の RS232C とは直接接続できません。

実際にパソコン等の RS232C と接続する方法についての例を、

SUZAKU Official Site <http://suzaku.atmark-techno.com/> の HowTo ページに記載してありますのでご参照ください。

10.3. Lbplay2.EXE "ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."発生時の対処方法

Lbplay2.EXE で"ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."が発生した時の対処方法を以下に示します。

CD-ROM 内の¥fpga_proj¥ wb_TE7720_software_20031104.zip を解凍してください。
さらに解凍したフォルダの中に"Release204.zip"がありますのでそちらも解凍してください。

"windrvr.sys"を同じ名前のファイルがないことを確認し、Administrator 権限ユーザで以下のフォルダにコピーしてください。

- ・WindowsNT/2000 の場合 C:¥WINNT¥system32¥drivers
- ・WindowsXP の場合 C:¥WINDOWS¥system32¥drivers

コマンドプロンプトを立ち上げ、解凍を行ったフォルダまで移動し、
"wdreg install"を実行してください。

以上の作業で正常に動作するようになります。

Lbplay2.EXE 及び、TE7720 の詳しい情報については、東京エレクトロンデバイス <http://www.teldevice.co.jp/>のホームページに記載されています。また、FAQ もございますので合わせてご参照ください。

改訂履歴

Ver.	年月日	改訂内容
1.0.0	2005/02/12	初版作成
1.0.1	2006/4/27	誤記訂正

