SUZAKU-S SZ010-U00 SZ030-U00

Hardware Manual

Version 1.1.1

2005年2月10日

株式会社アットマークテクノ http://www.atmark-techno.com/

目次

		× 11 1_		
1.	はし	うめに…	• • • • • • • • • • • • • • • • • • • •	1
2.	注意	意事項・	• • • • • • • • • • • • • • • • • • • •	2
2	2.1.	安全に	2関する注意事項 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	2
2	22	取り扱	いたの注音事項・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	2
5	~.) 2			$\tilde{2}$
4				ა ი
2	2.4.	ソノト	リエア使用に関しての注息争項	3
3.	作到	業の前に	_	4
3	3.1 .	準備す	Fるもの · · · · · · · · · · · · · · · · · · ·	4
4.	概要	要	• • • • • • • • • • • • • • • • • • • •	5
4	I.1.	SUZA	KU-S の特徴・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	5
Δ	12	什様・		6
-	r.~. 19	ティス	ゴ ロック図	7
4	E.J.		7177区	1
4	1.4.	機能	· · · ·	8
	4.4	.1. フ	プロセッサ	8
	4.4	.2. J	ドス	8
	4.4	.3. X	モリ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	9
	4.4	.4. 寓	制り込み・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	9
	1 1	5 夕	パマ	å
	1.1	0 2		5
	4.4	.0. ン	クリア Jレコンシー Jレ	9
	4.4	.7. L		9
	4.4	. 8 . 9	ト部 I/O · · · · · · · · · · · · · · · · · · ·	0
	4.4	.9. F	ΎGA コンフィグレーション・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	0
	4.4	.10.	ソフトウェアリセット機能・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	2
	4.4	.11.	JTAG 1	2
	44	12		3
	1.1	12	I FD	2 2
	4.4	11	LED 電准入力,99V/	ა ე
	4.4	.14.		3
	4.4	.15.	内部ロンック用電源出力+3.3V Ⅰ	4
	4.4	.16.	内部電源シーケンス・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	4
5.	メモ	ミリマップ	t · · · · · · · · · · · · · · · · · · ·	5
5	5.1.	SUZA	- KU-S メモリマップ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	5
6.	FP	GAピン	/アサイン・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	6
7		ゴインタ・	- フェース什様 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	2
•• •	71	エーン・ 攵話イ	~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~~	~ ?
~	7.1.		ノノーノェーへの叱己 ない しょうちょう ひんしょう しょうしん しょうしょう しょう	۵ ۵
1	.2.		ページング FFGA フロクラム用 JIAG コイソン 2 1 日 A A A A A A A A A A A A A A A A A A	3
7	7.3.	CON3	3 外部 I/O コネクター・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	4
7	7.4.	CON4	4 外部 I/O コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	5
7	7.5.	CON5	5 外部 I/O コネクタ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	5
7	7.6.	CON7	7 FPGA JTAG コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	6
2	17	CON1	L RS232C コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	6
2	7 9	ID1	- 1022020 ユーシン お動モード ジャンパ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	7
~	7.0.	JI I	ベビヨリレー レインハン ちゅうしょう アンド・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	~
-	.9.	JPZ		1
7	/.10.	D3	ハリーオン LED 2	8
7	7.11.	D1	ユーザコントロール LED ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	8
7	7.12.	CO	N6 電源入力+3.3V コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	8
7	7.13.	Eth	ernet 10/100 Base-T	9
8.	基林	反形状网	۲	0
0	ED.		- ヽジェクト 膵筑 古注/例 I I A PT の 迫 加 古 注)・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	1
9.	гР	GA ノロ	1/エノ「個米刀広(1/1) UARI V)に加刀」ム) 3	I

9.1.	添付 CD-ROM の fpga_proj プロジェクトの展開
9.2.	新規プロジェクトの作成 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
9.3.	Platform Studio の設定 36
9.4.	Platform Studio コンパイルの実行 43
9.5.	プロジェクトのトップファイル編集 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
9.6.	Project Navigator コンパイルの実行 49
10. F	FPGA コンフィグレーション・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
10.1.	BIT ファイルから MCS ファイルへの変換 ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・
10.2.	SUZAKU-S ヘコンフィグレーションデータのプログラム・・・・・・・・・・・・・・・・・・・・・・・・・・・・・55
10.3.	Lbplay2.EXE "ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."発生時の対処
方法	57
11. S	SZ010-U00とSZ030-U00の違い 58
11.1.	SZ010-U00とSZ030-U00の違い 58
11.	1.1. · FPGA について 58
11.	1.2. ·FLASH について 58
11.	1.3. ·FLASH メモリマップについて ·····58
11.2.	以前に開発した Linux バイナリイメージの動作・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・59
11.2	2.1. 以前に開発した Linux バイナリイメージを SZ030-U00 でそのまま動作させる方法

表目次

表 4-1 SUZAKU-S 仕様 · · · · · · · · · · · · · · · · · ·	6
表 5-1 SUZAKU-S メモリマップ ······	15
表 6-1 FPGA ピンアサイン 外部 I/O 系 (1/3)	16
表 6-2 FPGA ピンアサイン 外部 I/O 系(2/3)	17
表 6-3 FPGA ピンアサイン 外部 I/O 系 (3/3)	18
表 6-4 FPGA ピンアサイン 内部デバイス系(1/3)	19
表 6-5 FPGA ピンアサイン 内部デバイス系(2/3)・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	20
表 6-6 FPGA ピンアサイン 内部デバイス系(3/3) ······	21
表 6-7 FPGA ピンアサイン JTAG、コンフィグレーション系・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	21
表 7-1 各種インターフェースの内容・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	22
表 7-2 CON2 外部 I/O、FPGA プログラム用コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	23
表 7-3 外部 I/O コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	24
表 7-4 CON4 外部 I/O コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	25
表 7-5 CON5 外部 I/O コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	25
表 7-6 CON7 Spartan-3 用 JTAG コネクタ ······	26
表 7-7 CON1 RS232C コネクタ ····································	26
表 7-8 JP1 起動モード ジャンパ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	27
表 7-9 JP2 FPGA プログラム用ジャンパ ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	27
表 7-10 D1 ユーザコントロール LED	28
表 7-11 CON6 電源入力+3.3V コネクタ・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	28
表 7-12 Ethernet 10/100 Base-T ************************************	29

図目次

図 4-1	SUZAKU-S ブロック図 ·····7
図 4-2	SUZAKU-S バス構成 ************************************
図 4-3	FPGA コンフィグレーション 11
図 7-1	各種インターフェースの配置
図 8-1	SUZAKU-Sの基板形状・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・

1.はじめに

このたびは SUZAKU-S をお求めいただき、ありがとうございます。

本マニュアルは、SUZAKU-Sのハードウェアの仕様や使用方法について書かかれています。

SUZAKU-Sの機能を最大限引き出すために、ご活用いただければ幸いです。

2.注意事項

2.1.安全に関する注意事項

SUZAKU-Sを安全にご使用いただくために、特に以下の点にご注意くださいますようお願いいたします。

本製品には一般電子機器用(OA機器・通信機器・計測機器・工作機械等)に製造された半導体部品を使用していますので、その誤作動や故障が直接生命を脅かしたり、身体・財産等に危害を及ぼす恐れのある装置(医療機器・交通機器・燃焼制御・安全装置等)に組み込んで使用したりしないでください。また、半導体部品を使用した製品は、外来ノイズやサージにより誤作動したり故障したりする可能性があります。 ご使用になる場合は万一誤作動、故障した場合においても生命・身体・財産等が侵害されることのないよう、装置としての安全設計(リミットスイッチやヒューズ・プレーカ等の保護回路の設置、装置の多重化等)に万全を期されますようお願い申しあげます。

2.2. 取り扱い上の注意事項

劣化、破損、誤動作、発煙、発火の原因となることがあります。取り扱い時には以下のような点にご注意ください。

● 入力電源

3.3V+5%以上の電圧を入力しないでください。 極性を間違わないでください。

● インターフェース

各インターフェース(外部 I/O、RS232C、Ethernet、JTAG)には規定以外の信号を接続しないでください。 信号の極性を間違わないでください。 信号の入出力方向を間違わないでください。

● 改造

外部 I/O コネクタ及び JTAG コネクタ(CON2、CON3、CON4、CON5、CON7)にコネクタ等を増設する以外の改造は行わないでください。

● FPGA プログラム

周辺回路(ボード上の部品も含む)と信号の衝突(同じ信号に2つのデバイスから出力する)を起こすようなFPGA プログラムを行わないでください。 FPGAのプログラムを間違わないでください。

● **電**源の投入

本ボードや周辺回路に電源が入っている状態では絶対に FPGA I/O、JTAG 用コネクタの着脱を行わないでください。

● 静電気

本ボードには CMOS デバイスを使用していますので、ご使用になるまでは帯電防止対策のされている、出荷時のパッケージ等にて保管してください。

● ラッチアップ

電源および入出力からの過大なノイズやサージ、電源電圧の急激な変動等で使用している CMOS デバイスが ラッチアップを起こす可能性があります。いったんラッチアップ状態となると、電源を切断しないかぎりこの状態が維 持されるため、デバイスの破損につながることがあります。ノイズの影響を受けやすい入出力ラインには保護回路 を入れることや、ノイズ源となる装置と共通の電源を使用しない等の対策をとることをお勧めします。

● 衝撃、振動

落下や衝突などの強い衝撃を与えないでください。 振動部や回転部などへの搭載はしないでください。強い振動や遠心力を与えないでください。

● 高温低温、多湿 極度に高温や低温になる環境や、湿度が高い環境では使用はしないでください。

● 塵埃

塵埃の多い環境では使用はしないでください。

2.3. FPGA 使用に関しての注意事項

● 本製品に含まれる FPGA プロジェクトについて

本製品に含まれる FPGA プロジェクト(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるもの であり、特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用 による結果についてもなんら保証するものではありません。

本製品は、ベンダのツール(Xilinx 製 EDK、ISE やその他ベンダツール)やベンダの IP コアを利用し、FPGA プロジェクトの構築、コンパイル、コンフィグレーションデータの生成を行っておりますが、これらツールに関しての 販売、サポート、保証等は行っておりません。

2.4. ソフトウェア使用に関しての注意事項

● 本製品に含まれるソフトウェアについて

本製品に含まれるソフトウェア(付属のドキュメント等も含みます)は、現状のまま(AS IS)提供されるものであり、 特定の目的に適合することや、その信頼性、正確性を保証するものではありません。また、本製品の使用による結 果についてもなんら保証するものではありません。

3.作業の前に

3.1.準備するもの

SUZAKU-Sを使用する前に、次のものを準備して下さい。

● 作業用 PC

ハードウェア開発用として、Windows2000 または、WindowsXP が動作し、シリアルポート(1 ポート)、及びパラレルポート(1 ポート)を持つ PC を用意してください。

ソフトウェア開発用として、Linux が動作し、シリアルポート(1 ポート)を持つ PC を用意してください。 ソフトウェア開発の詳細については、Software Manual を参照ください。

D-Sub9 ピンクロスケーブル
 D-Sub9 ピン(メス - メス)の「クロス接続用」のケーブルを用意してください。

● D-Sub9 ピン-10 ピン変換ケーブル

D-Sub9 ピンと本ボードのピンヘッダ(10 ピン)を接続するための、D-Sub9 ピン-10 ピン変換ケーブルを用意して ください。

開発キット付属 CD-ROM(以降、「付属 CD」)
 SUZAKU-S に関する各種マニュアルやソースコードが収納されています。

● シリアル通信用ソフト

minicom や Tera Term などのシリアル通信用ソフトが必要です。(Linux 用のソフトは付属 CD の「tools」 ディレクトリにあります。)

- DC3.3V 電源 DC3.3V 出力の電源を用意してください。
- Xilinx ISE Xilinx ISE を用意してください。
 詳しくは Xilinx 代理店にお問い合わせください。
- Xilinx EDK Xilinx EDK を用意してください。
 詳しくは Xilinx 代理店にお問い合わせください。
- Xilinx Parallel Cable または相当
 Parallel Cable を用意してください。
 詳しくは Xilinx 代理店にお問い合わせください。

4.概要

4.1.SUZAKU-S の特徴

SUZAKU-S(朱雀)は Xilinx の FPGA「Spartan-3」をベースとしたボードコンピュータです。 FPGA 上にソフトプロセッサ「MicroBlaze」と周辺ペリフェラルコアを構成し、オペレーティングシステムとして Linux(uCLinux)を採用しています。

- ソフトプロセッサと周辺ペリフェラルコアの構築 MicroBlaze や周辺ペリフェラルコアの構築は、Xilinx 社EDK(Embedded Development Kit)を使用します。 EDK は、GUI 環境下で MicroBlaze や周辺ペリフェラルコアの各種設定が行え、その設定情報から自動的に ネットリストを生成するツールです。
- カスタマイズ

FPGAの中は、ユーザによってカスタマイズが可能です。 また、基板外周にユーザが自由に使える外部 I/O を 86 ピン実装しています。 例えば、PIO や UART の数を増やし、外部 I/O ピンに割当てるなどのカスタマイズが簡単に行えます。



* FPGA のカスタマイズには Xilinx 社の EDK、ISE が必要です。 Xilinx 社または、 Xilinx 代理店より入 手してください。

• LAN

LAN(10Base-T/100Base-Tx)を実装しています。市販の LAN ケーブル(UTP)が接続できます。

● オペレーティングシステム

µCLinuxを標準のオペレーティングシステムとして採用しておりますので、アプリケーションソフトウェアの開発にはGNUのアセンブラやCコンパイラ等を使用することができます。

また、LAN コントローラデバイスドライバ、各種プロトコルが最初から用意されていますので、簡単にネットワークに接続できます。

オペレーティングシステムの詳細については、Software Manual を参照ください。

4.2.仕様

本ボードの主な仕様を表4-1に示します。

表 4-1 SUZAKU-S 仕様

FPGA		Xilinx Spartan-3			
11011		XC3S400 FT256 (SZ010-L100)			
		XC3S1000 FT256 (SZ030-1100)			
いっトプロナ	• × · ++	MicroBlazo			
ソフトノロゼ	.99	MICIODIAZE			
水晶発振器	器周波数	3.6864MHz(FPGA の内部 DCM により逓倍して使用)			
メモリ	BRAM	8Kbyte			
	SDRAM	16Mbyte			
	FLASH メモリ	4Mbyte (SZ010-U00)			
		8Mbyte (SZ030-U00)			
コンフィグレ	/ーション	FLASH メモリ上に記憶、コントローラ TE7720			
JTAG		2 ポート(FPGA 用、TE7720 用)			
Ethernet		10Base-T / 100Base-Tx			
シリアル		UART 115.2kbps			
タイマ		2ch(1ch は OS で使用)			
フリーI/O と	ピン	86 ピン			
リセット機能		ソフトウェアリセット			
電源		電圧:3.3V±3%			
		消費電流∶350mA typ(プロセッサ動作時)			
基板サイズ		72 × 47mm			

4.3.全体ブロック図

SUZAKU-S の全体ブロック図を図 4-1 に示します。 本構成は、uCLinux を動作させる最小構成です。



図 4-1 SUZAKU-S プロック図

4.4.機能

4.4.1. プロセッサ

FPGA 内部で MicroBlaze を使用しています。MicroBlaze の概要を以下に示します。

- ·32 ビット RISC プロセッサ
- ・32 ビット固定長命令
- ·32 個の汎用 32bit レジスタ
- ・3 ステージパイプライン
- ·命令キャッシュとデータキャッシュ
- ・ハードウェア乗算器
- ・ハードウェアデバッグロジック対応

4.4.2. バス

3種類のバスで構成しています。

·FPGA 内部 LMB

MicroBlazeとBRAM(FPGA内部メモリ)を接続する専用バス

·FPGA 内部 OPB

複数のペリフェラル IP コアを接続するバス

カスタマイズを行う時は、本バスにペリフェラルコアを追加していきます。

·FPGA 外部バス

OPB EMC 及び、OPB SDRAM を介し、外部メモリデバイスなどを接続するバス。





4.4.3. メモリ

3種類のメモリで構成しています。

·FPGA 内部 BRAM (デフォルト 8KByte)

ブートプログラム用として使用しています。

起動完了後は、先頭の 32Byte(割り込みベクタ領域)以外であれば、ユーザプログラムで使用することもできます。

·FPGA 外部 FLASH メモリ

SZ010-U00は4MByte、SZ030-U00は8MByteを実装しています。 高機能ブートローダやLinuxシステム、FPGAコンフィグデータなどのデータ保存に使用しています。

OPB EMC を使用し、OPBと接続しています。

FPGA 外部 SDRAM 16MByte
 Linux のメインメモリとして使用しています。
 OPB SDRAM を使用し、OPB と接続しています。

4.4.4. 割り込み

OS 用割り込みコントローラに、FPGA 内部で OPB INTC を使用しています。

4.4.5. タイマ

OS 用タイマに、FPGA 内部で OPB Timer を使用しています。

4.4.6. シリアルコンソール

OS 用シリアルコンソールに、FPGA 内部で OPB UART Lite を使用しています。

OPB UART Lite は RS232C トランシーバを介し、コネクタ(CON1)に接続しています。

また、RS232Cトランシーバは、4 チャンネルタイプのものを使用しており、このうち2 チャンネルを OS 用シリアルコンソールで使用し、残り2 チャンネルは未使用となっています。これらの未使用の信号に GPIO やユーザロジックを 接続してフロー制御をしたり、別の OPB UART Lite を接続して2 ポート目の UART とすることも可能です。

・シリアルコンソールの設定

転送レート	115.2kbps
データ	8bit
ストップ bit	1bit
フロー制御	なし

4.4.7. LAN

LAN コントローラに、FPGA 外部に SMSC 社の LAN91C113 を実装しています。 LAN91C113 は、OPB EMC を使用し、OPB と接続しています。 また、RJ-45 コネクタを実装しており、市販の LAN ケーブル(UTP)が接続できます。

4.4.8. 外部 I/O

ユーザが自由に使用できる外部 I/O を 86 ピン実装しています(CON2、CON3、CON4、CON5)。 (コネクタは実装されていません) 外部 I/O は、全て FPGA のフリーI/O ピンと直接接続しています。 FPGA の I/O 用電源(VCCO)は、全て内部ロジック用電源+3.3V から供給しています。 I/O 電圧や駆動電流などの規定値については、Spartan-3 のデータシートをご参照ください。

内部ロジック用電源+3.3V は、シーケンス回路及びディレー回路により立ち上がりに最大 20msec の時間がかかり ます。よって外部 I/O と接続するデバイスは、ラッチアップ等を起こさないために、本ボードの内部ロジック用電源 +3.3V 出力を使用するか(4.4.15 内部ロジック用電源出力+3.3V を参照ください)、またはバッファデバイス等が必要 になります。

4.4.9. FPGA コンフィグレーション

FPGA コンフィグレーション IC に TE7720(東京エレクトロンデバイス製)を実装しています。

TE7720 は、JTAG(CON2)から送られてくるデータを FLASH メモリにプログラムし、再起動時に FLASH メモリ からデータを読み込み、FPGA をコンフィグレーションする IC です。(図 4.3)

FLASH メモリの全エリアは、プロセッサからも読み書き可能です。

LAN や RS232C から、Linux システムや FPGA コンフィグレーションデータを受信し、FLASH メモリに対して書き込んで、再起動すると全く新しい機能をもったボードとして動作させることができます。

また、SUZAKU-Sにはソフトウェアからコントロールできるリセット回路が入っていますので、遠隔地からの再コンフ ィ

グレーションも可能です。

JTAG(CON2)から TE7720 にデータを転送するためのソフトウェア(LBPLAY2.EXE)は、東京エレクトロンデバイスのホームページから無料でダウンロードできます。(付属 CD にも収録されています)

コンフィグレーション方法については、10.FPGA コンフィグレーション を参照ください。

FPGA に間違ったデータをプログラムしたり、またプログラム中に何かの原因で、エラーを起こした場合は SUZAKU-S を動作させないでください。FPGA 外部回路部品(ボード上の部品も含む)と信号の衝突や異常動作に より発熱、劣化、破損する可能性がありますので、一度電源を切断し、^{*} JP2^{*} をショートし、再プログラミングを行って ください。

SUZAKU-S は、電源再投入時 JP2 をショートすると、FPGA に対しコンフィグレーションを停止させることができ、その間にプログラムすることができます。



JTAGからTE7720経由でFLASHメモリに書き込み



電源投入時FLASHメモリからTE7720経由でFPGAをコンフィグレーション



FPGAのコンフィグレーション完了後、MicroBlazeがFLASHメモリを使用

図 4-3 FPGA コンフィグレーション

4.4.10. ソフトウェアリセット機能

ソフトウェアリセットを実行すると、FLASHメモリからコンフィグレーションデータの再読み込み及び、FPGAのコンフィグレーションを実行、各デバイス IC ヘリセットを出力します。

ソフトウェアリセットは、Linux の reboot コマンドを使用するか、または、BRAM 上のプログラムから、直接アドレス 0xFFFF_A000 にデータ 0x000_0001 を書き込むことにより実行できます。BRAM 上のプログラムから直接ソフトウ ェアリセットを実行する場合は、SDRAM やその他デバイスに対し書込み読込み (プログラムの実行を含む) を行わ ないでください。





4.4.11. JTAG

JTAGには、以下の2種類があります。

・FPGA プログラム用 JTAG コネクタ(CON2)

FPGA のコンフィグレーションデータを Flash メモリにプログラムする時に使用する JTAG コネクタです。 (コネクタは実装されていません)

本コネクタに Xilinx 製 Parallel Cable 等の JTAG ケーブルを接続し、専用のソフト(LBPLAY2.EXE)を 使用してプログラムを行います。

本 JTAG の I/O 電圧は+3.3V です。+3.3V に対応した JTAG ケーブルをご使用ください。

また、TMS、TDI、TCK は、本ボード内で 4.7k を介し+3.3V にプルアップされています。

コンフィグレーション方法については、10.FPGA コンフィグレーション を参照ください。

・FPGA 用 JTAG コネクタ(CON7)

FPGA 用 JTAG コネクタです。(コネクタは実装されていません)

FPGA の JTAG ピンと直接接続されています。

本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用 〈ださい。 また、TMS、TDI、TCK は、本ボード内で 4.7k を介し+2.5V にプルアップされています。

4.4.12. 設定用ジャンパ

設定用ジャンパには、以下の2種類があります。 ・起動モードジャンパ (JP1) 起動モードを切り替えるジャンパです。 オープンでオートブートします。 ショートでブートローダモードになります。 (起動モードについての詳細はソフトウェアマニュアルを参照してください)

 ・FPGA プログラム用ジャンパ(JP2, Spartan-3のF3と接続しています)
 FPGA プログラム用 JTAG からコンフィグレーションデータを Flash メモリにプログラムする時に使用する ジャンパです。
 オープンでノーマルブートします。
 ショートで FPGA コンフィグレーションデータを Flash メモリにプログラムできます。
 コンフィグレーション方法については、10.FPGA コンフィグレーション を参照ください。
 (電源再投入時、本ジャンパをショートすると、FPGA に対しコンフィグレーションを停止させることができ、 その時に Flash メモリにプログラムできます)

4.4.13. LED

LED には、以下の 2 種類があります。 ・パワーオン LED 緑 (D3) 本ボードに 3.3V が供給されると点灯します。 ・ユーザコントロール LED 赤 (D1 , Spartan-3 の G5 と接続しています) ユーザコントロール可能な LED です。 LO. レベルで点灯します。 FPGA と接続しています。

4.4.14. **電源入力+3.3V**

CON2、CON3 及び CON6 の ^{*} 電源入力+3.3V ^{*}から、本ボードへの電源供給が可能です。 +3.3V は、精度 ± 3%で、単調増加としてください。 極度に短い間隔でのオン/オフ繰り返しは行わないでください。 また、入力には積層セラミックコンデンサ 10 μ F を実装しています。

4.4.15. 内部ロジック用電源出力+3.3V

内部ロジック用電源+3.3V は、FPGA の I/O 用(VCCO)やその他 IC に供給している電源です。 CON1、CON2、CON3、CON5 から、外部のデバイスに合計最大 400mA *1 の電源供給が可能です。 ただし、外部のデバイスの負荷変動が大きい場合、電源入力+3.3V の応答によっては、電圧変動が発生すること があります。



*1 外部 I/O から信号を出力する場合は、 合計最大電流 = 400mA - 外部 I/O 信号の出力電流 となります。

4.4.16. 内部電源シーケンス

内部電源は、以下のようなシーケンスで立ち上がります。



5.メモリマップ

5.1.SUZAKU-S メモリマップ

本ボードのメモリマップは次の通りです。

本構成は、uCLinux を動作させる最小構成です。

Start Address End Address ペリフェラル デバイス 0x0000 0000 0x0000 1FFF BRAM 0x0000 1000 0x7FFF FFFF Reserved 0x8000 0000 0x80FF FFFF OPB-SDRAM Controller SDRAM 16MByte 0x8100 0000 OxFEFF FFFF Free 0xFF00 0000 0xFF7F FFFF OPB-EMC FLASH メモリ 4MByte or 8MByte 0xFF80 0000 **OxFFCF FFFF** Free 0xFFE0 0000 LAN コントローラ OxFFEF FFFF OPB-EMC 0xFFF0 0000 0xFFFF 0FFF Free 0xFFFF 1000 OxFFFF 10FF OPB-Timer 0xFFFF 1100 0xFFFF 1FFF Free 0xFFFF 20FF OPB-UART Lite RS232C 0xFFFF 2000 0xFFFF 2100 0xFFFF 2FFF Free 0xFFFF 3000 0xFFFF 30FF OPB-Interrupt Controller 0xFFFF 3100 0xFFFF 9FFF Free 0xFFFF A000 OxFFFF AOFF OPB-GPIO ブートモードジャンパ ソフトウェアリセット 0xFFFF A100 | 0xFFFF FFFF Free

表 5-1 SUZAKU-S メモリマップ

6.FPGA ピンアサイン

FPGA(Xilinx Spartan-3 XC3S400 FT256)の全ピンアサインを示します。

表 6-1 FPGA ピンアサイン 外部 I/O 系 (1/3)

番号	バンク	信号名	I/O	用途		接続先
A5	0	IOa_0	I/O	外部 I/O	CON2	(7 項参照)
A7	0	IOb_0	I/O	11	"	
A3	0	IO/VREF0P	I/O	11	"	
D5	0	IO/VREF0N	I/O	11	"	
B4	0	01N_0/VRP_0	I/O	11	"	
A4	0	01P_0/VRN_0	I/O	11	"	
C5	0	25N_0	I/O	11	"	
B5	0	25P_0	I/O	11	"	
E6	0	27N_0	I/O	11	"	
D6	0	27P_0	I/O	11	"	
C6	0	28N_0	I/O	11	"	
B6	0	28P_0	I/O	11	"	
E7	0	29N_0	I/O	"	"	
D7	0	29P_0	I/O	11	"	
C7	0	30N_0	I/O	11	"	
B7	0	30P_0	I/O	11	"	
D8	0	31N_0	I/O	11	"	
C8	0	31P_0/VREF0	I/O	11	"	
B8	0	32N_0/GCLK7	I/O	"	"	
A8	0	32P_0/GCLK6	I/O	11	"	
A9	1	IOa_1	I/O	11	"	
A12	1	IOb_1	I/O	"	"	
C10	1	IOc_1	I/O	"	"	
D12	1	IO/VREF1	I/O	11	"	
A14	1	01N_1/VRP_1	I/O	11	"	
B14	1	01P_1/VRN_1	I/O	"	"	
A13	1	10N_1/VREF1	I/O	"	"	
B13	1	10P_1	I/O	"	"	
B12	1	27N_1	I/O	"	"	
C12	1	27P_1	I/O	11	"	
D11	1	28N_1	I/O	11	"	
E11	1	28P_1	I/O	11	"	

番号	バンク	信号名	I/O	機能		接続先
B11	1	29N_1	I/O	外部 I/O	CON3	(7 項参照)
C11	1	29P_1	I/O	"	"	
D10	1	30N_1	I/O	11	"	
E10	1	30P_1	I/O	"	"	
A10	1	31N_1/VREF1	I/O	"	"	
B10	1	31P_1	I/O	"	"	
C9	1	32N_1/GCLK5	I/O	"	"	
D9	1	32P_1/GCLK4	I/O	11	"	
G16	2	Oa_2	I/O	"	"	
B16	2	16P_2	I/O	"	"	
C16	2	17N_2	I/O	11	"	
C15	2	17P_2/VREF2	I/O	"	"	
D14	2	19N_2	I/O	"	"	
D15	2	19P_2	I/O	"	"	
D16	2	20N_2	I/O	11	"	
E13	2	20P_2	I/O	"	"	
E14	2	21N_2	I/O	"	"	
E15	2	21P_2	I/O	"	"	
E16	2	20P_2	I/O	"	"	
F12	2	21N_2	I/O	"	"	
F13	2	21P_2	I/O	"	"	
F14	2	22N_2	I/O	"	"	
F15	2	22P_2	I/O	"	"	
G12	2	23N_2/VREF2	I/O	"	"	
G13	2	23P_2	I/O	"	"	
G14	2	24N_2	I/O	11	"	
G15	2	24P_2	I/O	"	"	
H13	2	39N_2	I/O	"	"	
H14	2	39P_2	I/O	11	"	
H15	2	40N_2	I/O	"	"	
H16	2	40P_2/VREF2	I/O	11	"	
K15	3	IOa_3	I/O	11	"	
P16	3	01N_3/VRP_3	I/O	11	"	
R16	3	01P_3/VRN_3	I/O	"	"	

表 6-2 FPGA ピンアサイン 外部 I/O 系(2/3)

番号	バンク	信号名	I/O	機能		接続先
P15	3	16N_3	I/O	外部 I/O	CON5	(7 項参照)
P14	3	16P_3	I/O	11	"	
N16	3	17N_3	I/O	11	11	
N15	3	17P_3/VREF3	I/O	11	"	
M14	3	19N_3	I/O	"	"	
N14	3	19P_3	I/O	11	"	
M16	3	20N_3	I/O	11	"	
M15	3	20P_3	I/O	11	11	
L13	3	21N_3	I/O	11	"	
M13	3	21P_3	I/O	"	"	
L15	3	22N_3	I/O	11	11	
L14	3	22P_3	I/O	外部 I/O	CON4	(7 項参照)
K12	3	23N_3	I/O	11	"	
L12	3	23P_3/VREF3	I/O	11	"	
K14	3	24N_3	I/O	11	11	
K13	3	24P_3	I/O	"	"	
J14	3	39N_3	I/O	11	"	
J13	3	39P_3	I/O	"	"	
J16	3	40N_3/VREF3	I/O	"	"	
K16	3	40P_3	I/O	11	"	

表 6-3 FPGA ピンアサイン 外部 I/O 系 (3/3)

番号	バンク	信号名	I/O	機能	接続先
T12	4	LA(22)	0	FPGA 外部アドレスバス	SDRAM、FLASH メモリ、
					LAN コントローラ
T14	4	LA(21)	0	"	11
N12	4	LA(20)	0	11	"
P13	4	LA(19)	0	"	"
T10	4	LA(18)	0	11	"
R13	4	LA(17)	0	"	11
T13	4	LA(16)	0	"	11
P12	4	LA(15)	0	11	"
R12	4	LA(14)	0	11	"
M11	4	CFG_DATA	Ι	コンフィグレーション	TE7720
				DATA	
N11	4	LA(13)	0	FPGA 外部アドレスバス	SDRAM,FLASH メモリ、
					LAN コントローラ
P11	4	LA(12)	0	11	11
R11	4	LA(11)	0	11	11
M10	4	LA(10)	0	"	11
N10	4	LA(9)	0	"	11
P10	4	LA(8)	0	"	"
R10	4	SYS_CLK_OUT	0	SDRAM へのクロック出力	SDRAM
N9	4	CFG_INIT*	Ι	コンフィグレーション INIT	TE7720, JP2
P9	4			空き	
R9	4	RAM_CLK	Ι	SDRAM のクロック DCM	SDRAM
				フォードバック用入力	
T9	4	SYS_CLK_IN	Ι	システムクロック入力	発振器 3.6864MHz
N5	5	LA(7)	0	FPGA 外部アドレスバス	SDRAM,FLASH メモリ、
					LAN コントローラ
P7	5	LA(6)	0	11	11
T5	5	LA(5)	0	11	11
T8	5	LA(4)	0	11	"
T3	5	LA(3)	0	11	"
R3	5	LA(2)	0	11	"
T4	5	LA(1)	0	11	"
R4	5	LA(0)	0	11	"
R5	5	LD(15)	I/O	FPGA 外部データバス	SDRAM,FLASH メモリ、
					LAN コントローラ
P5	5	LD(14)	I/O	11	"
N6	5	LD(13)	I/O	"	"
M6	5	LD(12)	I/O	11	"
R6	5	LD(11)	I/O	"	

表 6-4 FPGA ピンアサイン 内部デバイス系(1/3)

表	6-5	FPGA	ピンアサイン	内部デバィ	、ス系(2/3)

番号	バンク	信号名	I/O	機能	接続先
P6	5	LD(10)	I/O	"	"
N7	5	LD(9)	I/O	"	11
M7	5	LD(8)	I/O	"	"
T7	5	LD(7)	I/O	"	"
R7	5	LD(6)	I/O	"	11
P8	5			空き	
N8	5			空き	
K1	6	LDA(5)	I/O	FPGA 外部データバス	SDRAM,FLASH メモリ、
					LAN コントローラ
R1	6	LD(4)	I/O	//	"
P1	6	LD(3)	I/O	"	"
P2	6	LD(2)	I/O	"	11
N3	6	LD(1)	I/O	"	"
N2	6	LD(0)	I/O	11	11
N1	6	BUS_REQ	0	バスリクエスト	TE7720
M4	6	BUS_REL	Ι	バス獲得	TE7720
M3	6	RAM_CS*	0	SDRAM CS	SDRAM
M2	6	RAM_RAS*	0	SDRAM RAS	"
M1	6	RAM_CAS*	0	SDRAM CAS	"
L5	6	RAM_WE*	0	SDRAM WE	11
L4	6	RAM_CKE	0	SDRAM CKE	11
L3	6	RAM_UQDM	0	SDRAM UQDM	"
L2	6	RAM_LQDM	0	SDRAM LQDM	11
K5	6	RAM_BS(1)	0	SDRAM BS	11
K4	6	RAM_BS(0)	0	SDRAM BS	"
K3	6	FLASH_CE*	0	FLASH メモリ CE	FLASH メモリ
K2	6	FLASH_OE*	0	FLASH メモリ OE	11
J4	6	FLASH_WE*	0	FLASHメモリ WE	"
J3	6	FLASH_BYTE*	0	FLASH メモリ BYTE*	"
J2	6	FLASH_R_B	Ι	FLASH メモリ R/B	11
J1	6	MAC_BE1*	0	LAN コントローラ BE1	LAN コントローラ
G2	7	MAC_BE0*	0	LAN コントローラ BE0	11
C1	7	MAC_AEN	0	LAN コントローラ AEN	11
B1	7	MAC_RD*	0	LAN コントローラ RD	"
C2	7	MAC_WR*	0	LAN コントローラ WR	"
C3	7	MAC_ARDY	Ι	LAN コントローラ ARDY	11
D1	7	MAC_ADS*	0	LAN コントローラ ADS	"
D2	7	MAC_INTR	Ι	LAN コントローラ INTR	11
E3	7			空き	
D3	7			空き	
E1	7	CNSL_CTS*	Ι	コンソール CTS	RS232C トランシーバ =>CON1
					(7 項参照)
E2	7	CNSL_RXD	Ι	コンソール RXD	"
F4	7	CNSL_RTS	0	コンソール RTS	"
E4	7	CNSL_TXD	0	コンソール TXD	11

番号	バンク	信号名	I/O	機能	接続先
F2	7	FPGA_RESET_EN	0	自己リセット出力	リセット回路
F3	7	BOOTMODE	Ι	ブートモード検出	JP1 (7 項参照)
G5	7	LED*	0	ユーザコントロール LED	D1 (7 項参照)
F5	7	SYS_RST_IN	Ι	システムリセット入力	リセット回路
G3	7			招き	
G4	7			空き	
H3	7			空き	
H4	7			空き	
H1	7			招き	
G1	7			空き	

表 6-6 FPGA ピンアサイン 内部デバイス系(3/3)

表 6-7 FPGA ピンアサイン JTAG、コンフィグレーション系

番号	バンク	信号名	I/O	機能	接続先
C14		ТСК	Ι	JTAG	CON7 (7 項参照)
A2		TDI	Ι	JTAG	//
A15		TDO	0	JTAG	//
C13		TMS	Ι	JTAG	//
T15		CFG_CLK	0	コンフィグレーション CLK	TE7720
B3		PROG_B	Ι	コンフィグレーション	リセット回路
				PROG_B	
R14		CFG_DONE	0	コンフィグレーション	TE7720
				DONE	
C4		HSWAP_EN		オープン	
P3		M0	Ι	コンフィグレーションモード	グランド
T2		M1	Ι	コンフィグレーションモード	グランド
P4		M2	Ι	コンフィグレーションモード	グランド

LA(0 to 22)、LD(0 to 15)、RAM_BS(0 to 1)の VHDL バス記述は、MSB 側ビット(0)となっています。 このため通常の外部デバイスと比べ、ビットラベルが逆になります(通常 LSB 側がビット(0))。 上記表は通常の外部デバイスに接続するときのビットラベル(LSB 側がビット(0))で表記しています。

7.各種インターフェース仕様

7.1. 各種インターフェースの配置



図 7-1 各種インターフェースの配置

表 7-1 各種インターフェースの内容

部品番号	説明
CON2	外部 I/O 、FPGA プログラム用 JTAG コネクタ Total I/Os 32PIN
CON3	外部 I/O コネクタ Total I/Os 34PIN
CON4	外部 I/O コネクタ Total I/Os 10PIN
CON5	外部 I/O コネクタ Total I/Os 10PIN
L2	Ethernet 10/100 Base-T コネクタ
CON7	FPGA JTAG コネクタ
CON1	RS232C コネクタ
D3	パワーオン LED 緑
D1	ユーザコントロール LED 赤
JP1	起動モードジャンパ
JP2	FPGA プログラム用ジャンパ
CON6	電源入力+3.3V コネクタ

7.2.CON2 外部 I/O、FPGA プログラム用 JTAG コネクタ

外部 I/O 及び FPGA プログラム用 JTAG コネクタです。 (コネクタは実装されていません)

表 7-2 CON2 外部 I/O、FPGA プログラム用コネクタ

番号	信号名	I/O	機能能	
1	GND		グランド	
2	+3.3VOUT		内部ロジック用電源出力 +3.3V	
3	CFG_TCK		FPGA プログラム用 JTAG	ТСК
4	CFG_TDI		11	TDI
5	CFG_TDO		11	TDO
6	CFG_TMS		11	TMS
7	IOa_0		外部 I/O Spartan-3 接続ピン番号	A5
8	IOb_0			A7
9	IO/VREF0P		11	A3
10	IO/VREF0N		11	D5
11	01N_0/VRP_0		11	B4
12	01P_0/VRN_0		11	A4
13	25N_0		11	C5
14	25P_0		11	B5
15	27N_0		11	E6
16	27P 0		11	D6
17	28N 0		11	C6
18	28P 0		11	B6
19	GND		グランド	
20	32P 0/GCLK6		外部 I/O Spartan-3 接続ピン番号	A8
21	GND		グランド	
22	32N 0/GCLK7		外部 I/O Spartan-3 接続ピン番号	B8
23	 29N_0			E7
24	29P 0		11	D7
25	30N 0		11	C7
26	30P 0		11	B7
27	31N_0		11	D8
28	31P 0/VREF0		11	C8
29	IOa 1		11	A9
30	IOb 1		11	A12
31	IOc_1		11	C10
32	IO/VREF1		11	D12
33	01N 1/VRP 1		11	A14
34	01P_1/VRN_1		11	B14
35	10N_1/VREF1		11	A13
36	10P_1		11	B13
37	27N_1		11	B12
38	27P 1		11	C12
39	 28N_1		11	D11
40	 28P_1		"	E11
41	GND		グランド	
42	GND		グランド	
43	+3.3VIN		電源入力 +3.3V	
44	+3.3VIN		電源入力 +3.3V	
	1			

7.3.CON3 外部 I/O コネクタ

外部 I/O 及び TE7720 用 JTAG コネクタです。(コネクタは実装されていません)

表 7-3 外部 I/O コネクタ

番号	信号名	I/O	と 人名法	
1	+3.3VIN		電源入力 +3.3V	
2	+3.3VIN		電源入力 +3.3V	
3	GND		グランド	
4	GND		グランド	
5	29N_1		外部 I/O Spartan-3 接続ピン番号	B11
6	29P_1		"	C11
7	30N_1		"	D10
8	30P_1		"	E10
9	31N_1/VREF1		"	A10
10	31P_1		"	B10
11	01N_2/VRP_2		"	B16
12	01P_2/VRN_2		"	C16
13	16N_2		"	C15
14	16P_2		"	D14
15	17N_2		"	D15
16	17P_2/VREF2		"	D16
17	19N_2		"	E13
18	19P_2		"	E14
19	20N_2		"	E15
20	20P_2		"	E16
21	21N_2		"	F12
22	21P_2		"	F13
23	32N_1/GCLK5		"	C9
24	GND		グランド	
25	32P_1/GCLK4		外部 I/O Spartan-3 接続ピン番号	D9
26	GND		グランド	
27	22N_2		外部 I/O Spartan-3 接続ピン番号	F14
28	22P_2		11	F15
29	23N_2/VREF2		"	G12
30	23P_2		"	G13
31	24N_2		"	G14
32	24P_2		"	G15
33	39N_2		"	H13
34	39P_2		"	H14
35	40N_2		"	H15
36	40P_2/VREF2		"	H16
37	01N_3/VRP_3		"	P16
38	01P_3/VRN_3		11	R16
39	IOa_3		"	K15
40	IOa_2		"	G16
41			空き	
42	EXRESET*		未接続 注意.必ず未接続とし、信号な	を入力しないでください。
43	+3.3VOUT		内部ロジック用電源出力 +3.3V	
44	GND		グランド	

7.4.CON4 外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

番号	信号名	I/O	機能
1			空き
2			空き
3	22N_3		外部 I/O Spartan-3 接続ピン番号 L15
4	22P_3		L14
5	23N_3		K12
6	23P_3/VREF3		L12
7	24N_3		K14
8	24P_3		K13
9	39N_3		J14
10	39P_3		J13
11	40N_3/VREF3		J16
12	40P_3		K16

表 7-4 CON4 外部 I/O コネクタ

7.5.CON5 外部 I/O コネクタ

外部 I/O コネクタです。(コネクタは実装されていません)

衣 7-3 ししいろ 21部 1/し コイクン	表	CON	5 外部	I/O コネクタ
-------------------------	---	-----	------	----------

番号	信号名	I/O	機能				
1	GND		グランド				
2	+3.3VOUT		内部ロジック用電源出力 +3.3V				
3	16N_3		外部 I/O Spartan-3 接続ピン番号 P15				
4	16P_3		P14				
5	17N_3		N16				
6	17P_3/VREF3		N15				
7	19N_3		M14				
8	19P_3		N14				
9	20N_3		M16				
10	20P_3		M15				
11	21N_3		L13				
12	21P_3		M13				

7.6.CON7 FPGA JTAG コネクタ

FPGA 用 JTAG コネクタです。 (コネクタは実装されていません)。 本 JTAG の I/O 電圧は+2.5V です。+2.5V に対応した JTAG ケーブルをご使用ください。

番号	信号名	I/O	機能能
1	GND		グランド
2	+2.5VOUT		内部ロジック用電源出力 +2.5V
3	ТСК	Ι	JTAG
4	TDI	Ι	JTAG
5	TDO	0	JTAG
6	TMS	Ι	JTAG

表 7-6 CON7 Spartan-3 用 JTAG コネクタ

7.7.CON1 RS232C コネクタ

RS232C コネクタです。レベルバッファを介して FPGA と接続されています。 ボード側で使用しているコネクタ型式/メーカは、A1-10PA-2.54DSA/ヒロセ(相当品)です。

- シリアルコンソールの設定
- ・ 転送レート 115.2kbps
- ・データ 8bit
- ・ ストップ bit 1bit
- ・ フロー制御 なし

表 7-7 CON1 RS232C コネクタ

番号	信号名	I/O		機	能
1			空き		
2			空き		
3	RXD	Ι	Spartan-3 接続ピン番号		E2 (シリアルコンソール用)
4	RTS	0	"		F4
5	TXD	0	"		E4 (シリアルコンソール用)
6	CTS	Ι	"		E1
7			空き		
8			空き		
9	GND		グランド		
10	+3.3VOUT		内部ロジック用電源出力 +3.31	/	

7.8.JP1 起動モード ジャンパ

起動モードを切り替えるジャンパです。 オープンでオートブートします。 ショートでブートローダモードになります。 FPGAと接続されています。 (起動モードについての詳細はソフトウェアマニュアルを参照してください)

表 7-8 JP1 起動モード ジャンパ

番号	信号名	I/O		機	能	
1	DLOAD		オープン : オートブート			
			ショート:ブートローダモード			
			Spartan-3 接続ピン番号		F3	
2	GND		グランド			

7.9.JP2 FPGA プログラム用ジャンパ

FPGA プログラム用 JTAG からコンフィグレーションデータを Flash メモリにプログラムする時に使用するジャンパです。

コンフィグレーション方法については、10.FPGA コンフィグレーション を参照ください。

表 7-9 JP2 FPGA プログラム用ジャンパ

番号	信号名	I/O	機能
1	TE77PRG		オープン:ノーマルブート
			ショート:コンフィグレーションデータプログラム
2	GND		グランド

7.10. D3 パワーオン LED

本ボードに 3.3V が供給されると点灯(緑色)します。

7.11. D1 ユーザコントロール LED

ユーザコントロール可能な LED です。 'LO.'レベルで点灯(赤)します。 FPGA と接続されています。

表 7-10 D1 ユーザコントロール LE

番号	信号名	I/O		機	能
	LED0		LO.レベル : 点灯		
			HI.レベル : 消灯		
			Spartan-3 接続ピン番号		G5

7.12. CON6 電源入力+3.3V コネクタ

電源入力コネクタです。電源入力+3.3V は、+3.3V ± 3%で、単調増加としてください。 CON2、CON3 の * 電源入力+3.3V * とボード内部で接続されています。 ボード側で使用しているコネクタ型式/メーカは、B2PS-VH/日本圧着端子(相当品)です。 ケーブル側のコネクタ型式/メーカは、 ハウジング VHR-2N/日本圧着端子(相当品)、

コンタクト BVH-21T-P1.1/日本圧着端子(相当品) または、BVH-41T-P1.1/日本圧着端子(相当品) が使用できます。

表 7-11 CON6	電源入力+3.3V	コネクタ
-------------	-----------	------

番号	信号名	I/O	機能
1	GND		グランド
2	+3.3VIN		電源入力 +3.3V

7.13. Ethernet 10/100 Base-T

ボード側で使用しているコネクタ型式/メーカは、J0026D21B/PULSEです。

番号	信号名	I/O	機能
1	TX+		差動ツイストペア出力+
2	TX-		差動ツイストペア出力-
3	RX+		差動ツイストペア入力+
4			75 終端(4番ピンと5番ピンはショートしています)
5			75 終端(4番ピンと5番ピンはショートしています)
6	RX-		差動ツイストペア入力-
7			75 終端(7番ピンと8番ピンはショートしています)
8			75 終端(7番ピンと8番ピンはショートしています)

表 7-12 Ethernet 10/100 Base-T

8.基板形状図

本ボードの基板形状図を図 8-1に示します。



〔単位:mm〕

図 8-1 SUZAKU-Sの基板形状

9.FPGA プロジェクト構築方法(例 UART の追加方法)

例として添付 CD-ROM のデフォルトの FPGA プロジェクトに、UART を追加する方法を説明します。

9.1.添付 CD-ROM の fpga_proj プロジェクトの展開

添付 CD-ROM の¥fpga_proj¥suzaku-s の 圧縮ファイル suzaku-s-*******.zip^{*} (*は更新日)を ハードディスクに展開します。

展開後はのフォルダ構成は以下のようになっています。

•	
xps_proj	$\pm EDK O J \Box \mathcal{Y} \pm \mathcal{Y} + $
top.vhd	: プロジェクトトップファイル。 xsp_proj.xmp を呼び出しています。
top.ucf	: FPGA ピンアサイン情報ファイル。
sz010.mcs	: SZ010-U00 用デフォルト FPGA コンフィグレーションデータファイル。
sz030.mcs	: SZ030-U00 用デフォルト FPGA コンフィグレーションデータファイル。
sz030_compat	ible_32mbit .mcs
	: SZ030-U00 用 32MbitFLASH メモリ コンパチブル用 FPGA コンフィグレーション
	データファイル *1
lbplay2.exe	: FPGA プログラム用アプリケーション(コンフィグレーションデバイス TE7720 用)
device.def	: FPGA プログラム用アプリケーション設定ファイル



*1 CD-ROM "SUZAKU20041215" 以前で開発した Linux バイナリをそのまま動作させるときのコンフィグレーションファイルです。

詳細は、"11.2 以前に開発した Linux バイナリの動作"を参照ください。

9.2.新規プロジェクトの作成

Xilinx' Project Navigator'を起動し、'File'メニューから' New Project' をクリックします。 Project Name を' top' とし、Project Location を先ほどプロジェクトを展開したフォルダを指定します。 最後に' 次へ' をクリックします。

New Project	
Enter a Name and Location for the Project — Project <u>Name:</u> top Select the type of Top-Level module for the Top-Level Module Type: HDL	Project Location: C:¥suzaku¥suzaku-20050115 ne Project ・ 先ほどコピーしたフォルダ
・ top [*] とする <戻	を指定 実る(B) 次へ(N) > _ キャンセル _ ヘルブ

Select the Device and Design Flow for Project を以下の設定にします。

Device Family	Spartan-3
Device	xc3s400 (SZ010-U00の時)
	xc3s1000(SZ030-U00 の時
Package	ft256
Speed Grade	4
Synthesis Tool	XST(VHDL/Verilog)

Device	Property Name	Spartan3
Device	anny	xc3s400
Package		ft256
Speed G	irade	-4
Top-Lev	el Module Type	
Synthes	is Tool	XST (VHDL/Verilog)
Simulate	pr	Other
Generat	ed Simulation Language	VHDL

以下の画面が出るまで、次へ、をクリックし、最後に、完了、をクリックします。

N	ew Project Information	\mathbf{X}
	Project Navigator will create a new Project with the following specifications:	
	Project Project Name: top Project Location: C:¥suzaku¥suzaku-20050115 Project Type: HDL	
	Device: Device Family: Spartan3 Device: xc3s400 Package: ft256 Speed Grade: -4	
	: Top-Level Module Type: HDL Synthesis Tool: XST (VHDL/Verilog) Simulator: Other Generated Simulation Language: VHDL	
	く戻る(B) 完了 キャンセル ヘルプ	_

'Project'メニューから'Ad<u>d Sourc</u>es' をクリックします。 'top.ucf'と 'top.ucf'を選択し、'開く' をクリックします。

Add Existing Sou	irces	? 🛛
ファイルの場所型:) 🗁 suzaku-20050115 💽 🗲 🖻 (* ≣•
top.vhd		
ファイル名(N):	"top.ucf" "top.vhd"	開(())
ファイルの種類(工):	Sources (*.txt;*.vhd;*.vhd;*.v;*.abl;*.xco;*.sch;*.e	キャンセル

^{*} VHDL Design File^{*} を選択し^{*} OK^{*} をクリックします。

Choose Source Type	
top.vhd is which source type? The suffix is ambiguous as to type.	
VHDL Design File VHDL Test Bench File	
	Cancel
1	

再度'Add Sources'で 'xps_prj¥xps_proj.xmp'を選択し、'開く 'をクリックします。

Add Existing So	irces	×
ファイルの場所型:	🔁 xps_proj 🗾 🗢 🗈 📸 🎫	
Èxps È_code È_data È_etc È_microblaze_i È_pcores	^{™™}	
ファイル名(N):	xps_proj.xmp 開((Q)	
ファイルの種類(工):	Sources (*.txt;*.vhd;*.vhd;*.v;*.ab];*.xco;*.sch;*.ei 💌 キャンセル	

以上で新規プロジェクトができました。 下記のような表示になります。



9.3. Platform Studio の設定

まず、' Project Navigator' から' xps_proj' をダブルクリックします。 ' Platform Studio' が自動的に開きます。



^{*} Platform Studio^{*} が自動的に開きます。

ペリフェラルコアを新規追加するのに、 Add/Edit Cores'をクリックします。

(ペリフェラル追加せず、デフォルト構成のままコンパイルする場合は "9.4 Platform Studio コンパイルの実行"に お進みください)



'Periherals' タブで右側のペリフェラルコア一覧から' opb_uartlite' を選択し、' Add' で追加、' Instance'、' Base Address '、' High Address' を指定します。

今回は、以下の設定としました。

Instance opb_uartlite_0

その他のデフォルトのペリフェラルコアコア(microblaze~system_external_int)構成は、uCLinux を動作させる 最小構成です。

Cells with perghanals	white Sackgr choose one	ounds can be edited. To delete or more rows and click Delete	Processor
hripheral	HW Ver	Instance	FlowerPC Only Children Children
worobiaze	210.e +	excrstitize_i	C Ethe Processo
pb_scham	1.00e 🔫	system_memory	But Charles Charles Charles
etitres, do	1.00.5	system_panaole	C DOR C OPB
stighter .	1.00.8	system time	Channel Channel Channel
els,bram, it, only	100.5	systemut, Industry, market	C CON
di brem il onth	1.00.5	aystem (Jeb bram) Lontr	() CA
ram,block	1.00.a	system bren	opb hdie A
ph_Http://do	1.00.c	ayatem,into	opb_sc
ph_enec	1.10.5	system,enc	cob_file_uet
olega, dia	100.8 *	aysterupis	lopb min
stemal_int	100.	evolution advector ad int	Delate >>> III convect its
at the up dig	1.005	opb_uartite_ll	toth poi at the
	1		opb_udram
			opb_uartlite
			- 選択し、 Add をクリ
			philope bridge
			pb.prac pb.bran, if critir
			which day

Bus Connections タブで opb_uartlite の OPB バス(d_opb_v20)をクリックして S' マーク(スレープ)をつけます。

woobleer_i dirb	10	2	*	Add	58 FEB 8	acce, vill, vill, ac, p acce, vill, v2, 00, p 1, v20, v1, 00, p (v20, v2, 00, p acce, v10, v1, 00, p acce, v10, v1, 00, p			
wickoblaze_i dopiti	=			Oxone the BRM	Mo	ort to connect to the r	contri	oller port.	
wicroblaze_i i opb	-			Give a none to t	hes	convection.			
pitem_memory incide	1			Cettle Port		BRAM Port	9	Connector	
paters, console sopb	1			uystem_d_imb_in	F_	system bran POR.	. 0	ann 0	
ystem tree soph	1			system_i_mab.bi	8.	system bran POPL	-	am,1	
ystem_d_brid_beam_d_onti-shob			1						
ystern i lint-bran it ont sinb		+							
yvtam_into sopb	1								
print_enc copb	1			A	S	$\nabla - \gamma (z)$	12-	- ブ)	
date sign weby	1			Other Irans	+ -		~	-,	
pb_uartile_0 copts	1	◄		Source	5	フロる		88 - C	

'Addresses' タブで' opb_uartlite' の Base Address と Size を以下のように設定します。 今回は、以下の設定としました。

Base Address0xFFFF8000Size256

netanca	Pretix	Bate Addre	High Addre.	589		Min-	Ints/Error	la_	ICa.	00	
system_memory		D>90000000	0x90FFFFFF	16 MB		0+04			F.	-	
ystem, conosie		0+FFFF2000	D-FFFF2DFF	256	٠	0:100		T			
osten_time		0+FFFF1000	D _k FFFF10FF	256	•	0×100					
system_d_leb_bra_	1	0-00000000	5-00001FFF	# KB		0+900		F			
nystem j. Indubra.	1	0+00000000	0+00001FFF	8 KB	-	0+800		F			
iyistem jirito		DxFFFF3000	DNFFFF30FF	256		0+20					
CO _C dqo,t				UNSPL.	٠	8:200		T			
iostenjenc		0+FFFF0000	ONFFFFDIFF	512	•	0+200					
osten enc	MEMO	0xFFE0,0000	OxFFEF,FF.	1 MB		0		IF		-	
iyaten jenc	NEMT	0=FF00_0000	OufF7F_FF_	8 MB	-	B		F	-	C	
iystemusio	1000	DrFFFFA000	ONFEFFAOFE	256		0+100			1 · · · ·		
opb_wartlite_D		8-11110000	Settiticon	254	٠	0=100					

Ports タブで、右側の信号一覧の中から、'opb_uartlite_0'の'OPB_CLK'、'RX'、'TX'を選択し、'Add'をクリックします。

Net Name にそれぞれ以下の名前をつけます。(Net Name は大小文字を区別します。間違わないようにしてください) OPB_CLK SYS_CLK(大文字)

RX

ТΧ

opb_uartlite_0_RX opb_uartlite_0_TX

Date	1	0.0	1000	1.04	10000	-			Porta Filter
Fort hare	Net Name	Pola.	Inter1	Clars	Dents.	4			
NEWCONJOG	MENCON OF	N.	Dirigt Direct						List of Ports. Click: Add to add ports
NEWGON OF	MENCON UEN	9	Rol.						Men Film
MEMOON WEN	MENDOONUMEN	0	in a						cychera gpic
MEMOON DER	MENCONICEN	0	BP14					Delete	0PB CR. 0PIC ID
PERCON, BER	MENCONCIDEN	0	1011				100		and a star of the
0HDJ0J0	GP10 J0 J0	10	1021					Add Port	sources external at
MAD JATERHUP.	MWC_INTERRUPT.	1	-						<u>0</u>
SYS_REF	SYS_Ret	L					. 96		oph uartite 0
Internal Ports Core	ectione								Biterrupt
Instance	Port Name	Net No	ife .	1	ola. Rara	e Class	SA	Hole	RDC 706
Urbytt	SYS_Ret	SYS, A	1	- 1			100	Crisma	4-4-20
Unbot0	LMB_CR	\$15,0	LE.	- 1		CLK		CC Add	OPB CR
d_induv10	SVS_Ret	SYS, A	ef.	- 1					SIS_BU
d inb v10	LMB_CR	818.0	16	+1	_	GLK		Delete	Unit v10
gpb_uartite_0	OPR,CB	515,0	UC:	- 1		cite		-	SVS_Net
app.uetite.jl	RDI	opbus	rtite JL.	- 1				Connect	of less vill
opb_uartite_0	TX .	opbja	nille (L						LMB OR
	and the second sec			100		-			\square and \square and \square

^{*} opb_uartlite_0_RX^{*}、^{*} opb_uartlite_0_TX^{*} を選択し、^{*} Make External^{*} をクリックします。 External Ports Connection に追加されます。ここで登録した名前が、top.vhd(プロジェクトトップファイル)で component として呼び出すときの port 名になります。

	electronic [respective				3				1
External Po	arts Connections							_	T Show ports with default connections
Port Name	Net Name	Pola.	Ren.	Clas	= 11	Senst_]			External Ports Connections に
MEMOON_WEn	MENCON, WEn	0							治力される
MEMCON_CE:	MEMCON, CEn	0	[2:1]					· ·	追加C16 る
MEMOON_BER	MEMCON_BEn	0	1011						Land States
GP10,10,0	GP10_00_0	10	1023			/			OPB Ck
MAC INTERRUP.	MAG_INTERBUPT.	1				/			Delete GPIC ID
SYS, Ret	SYS Ret	1			K				and some and a solution and a soluti
opb_uartilite_0_FDI	opb_uartite_0_RX	1		-	5				'anh montlite 0 TV' t Btt
xT_0_stiteu doo	Opb santite 0 TX	0.	-	-	/				opp_uartille_0_1X を送折
Internal Ports Cores Instance	Port Name	Not No		- 1	Poin.	Baner	Class	12	Make External & 7097
Line vit	SYS Ret	SYS R	61	-	1	- Construction	1000	17.	Esternal
Link vill	LMB CB	SYS O	LE	-	1		CLK		CC ANI OPB CB
d lest v10	SVS Ret	SYS R	at .	-	1				SYS.Ref
d inb v10	LMB CR	SYS C	LE	•	1		OLK		Delete Usb.v10
opb.uartiite @	OPECR	SY5.0	LE.	-	1		OLK		SYS Ret
app_uartite_0	101	opb_us	etilite (IL)	-	1	1	1		Connect d tech vIII
and constitute the	TK .	opb_im	etilte ft.	-					LMB.OR
ODD MORTING IN		and the owner where the party is not			-				5.75 Hat

* parameters' タブで右側の設定項目一覧から、全てのパラメータを選択し、* Add' をクリックします。 次にペリフェ ラルのパラメータを指定します。 今回は以下の設定にしました。

C_DATA_BITS

51609600 <= SUZAKU-S の発振器(3.6864MHzをDCM で 14 逓倍) 115200

- C_USEPARITY 0
- 各ペリフェラルのデータシートを見る場合は、' Open PDF Doc' をクリックします

8

最後に[`]OK[`]ボタンを押します。

C_CLK_FREQ

C BAUDRATE



BRAM のソフトウェアソースを変更する場合は、Applications タブの'Sources'ファイルまたは、'Headers'ファ イルをダブルクリックし直接編集するか、'delete file'で削除し、新しいファイルを追加しします。

変更しないでそのまま使用の場合は、次に進んでください。

デフォルトのソフトウェアソースは、Hermit 及び uCLinux を動作させるための初期化コード等が記述されています。



9.4. Platform Studio コンパイルの実行

^{*}Generate Libraries^{*}、^{*}Compile Program Sources^{*}、^{*}Generate Net list^{*}を順番にクリックし、コンパイル します。

以上で^{*} Platform Studio^{*} での作業は終わりです。



9.5. プロジェクトのトップファイル編集

^{*} Platform Studio^{*} で自動生成されたファイルを、プロジェクトトップファイルで呼び出すように編集します。 編集するファイルは top.vhdと top.ucf の 2 つです。

(ペリフェラル追加せず、デフォルト構成のままコンパイルする場合は "<u>9.6 Project Navigator コンパイルの実行</u>" へお進みください)

ファイルを開く	? 🔀
ファイルの場所型: 🗁 hdl	- 🔁 🖆 📰
 system_bram_wrapper.vhd system_console_wrapper.vhd system_d_lmb_bram_if_cntr_wrapper.vhd system_emc_wrapper.vhd system_external_int_wrapper.vhd system_gpio_wrapper.vhd 	<pre>system_i_lmb_bram_if_cntr_wrapper.vhd system_intc_wrapper.vhd system_memory_wrapper.vhd system_timer_wrapper.vhd xps_proj.vhd xps_proj.vhd xps_proj_stub.vhd</pre>
<	
ファイル名(N): xps_proj_stub.vhd	開(②)
ファイルの種類(I): Source Files (*.v.*.vhd	!*.vhdl,*.abl,*.abv,*.ucf) ▼ キャンセル

ファイルを開く	? 🗙
ファイルの場所①:	🗁 suzaku-20050115 💽 🗢 🗈 📸 🎫
jprojnav i zps_proj i top.ucf i top.vhd	
ファイル名(<u>N</u>):	top.vhd 開(@)
ファイルの種類(工):	Source Files (*.v,*.vhd,*.vhdl,*.abl,*.abv,*.ucf) 💌 キャンセル

まずは、 Project Navigator' にもどり、 File'メニューの' Open' で以下の 2 つのファイルを開きます。 xps_proj¥hdl¥xps_proj_stub.vhd top.vhd

^{*} xps_proj_stub.vhd^{*} は、XPS で MicroBlaze と周辺ペリフェラルコアを生成させた時に自動的に作成されるフ ァイルです。

このファイルに記述されている Port 名や Componet 名を top.vhd に追記していきます。



top.vhd の ENTITY top IS の port に opb_uartlite_0_RX : in std_logic; opb_uartlite_0_TX : out std_logic を追記





¥SUZAKU-S_v00¥xps_proj¥top.ucf ファイルを開き、Spartan-3のフリーI/O ピンに信号を割当てます。 今回は CN5の3番ピン(P15)、4番ピン(P14) に割当てることとします。 以上でプロジェクトトップファイルの編集は完了です。

Glass - Project Navizator - D	Viscola Viscola - 1909/0110/Visa, opt - Displacet +1.		
Be bit Des Point Does	Burne Meder 194		
0.00.00.64.31	NOT THE REPORT OF THE	3 **** * V	
Sortan in Project	HE NIT 1 (d) (3)* LEC * PP* HE CT 1 (d) (3)* LEC * NE** HE CT 1 (d) (3)* LEC * NE** HE CT 1 (d) (3)* LEC * NE** HE CT res.com* LOC * LE** HE CT res.com* LE** TL*** HE CT Res RE** RE** HE RE** RE** RE** RE** HE RE** RE** RE**		
Potencie in Series "Interest	No. No. <td></td> <td></td>		
Add Existing Source Croate New Source User Canada Training Co Anade Training Co Anade Anal Con Estil Canada Anal Estil Canada Anal	Product Construction LBC Product Product Construction Construction Product Product Construction Construction Product		
	ET Transported, of UE + 771 ET Transported (UE + 771) ET Transported (UE + 771) E		
	There are an ID would be D would be		
Larestee Application to process."	Edit Carutinets (Text)"	NET opb_uartlite_0_RX	$LOC = {}^{\circ} P15^{\circ};$
		NET opb_uartlite_0_TX を追記	LOC = P14;
C Inter Contractor			
Cardate / Feda File	A Newy A from /		
or Hep, press F1			1/1 (M Cal 37

9.6. Project Navigator コンパイルの実行

'Souces in Project'で'top.vhd'を選択し、'Generate Programming File'をダブルクリックし、コンパイルを 実行します。

以上で設定、コンパイルが全て終了し、[†] top.bit^{*} ファイルが生成されます。

(top.bit は FPGA コンフィグレーション用の元ファイルになります。実際にコンフィグレーションプログラムするため には、top.bit を MCS ファイルに変換する必要があります。次項の 「FPGA コンフィグレーション」を参照ください)



10. FPGA コンフィグレーション

SUZAKU-Sのコンフィグレーション方法について説明します。

10.1. BIT ファイルから MCS ファイルへの変換

'Generate PROM.ACE or JTAG File' をクリックします。



[・]PROM File[・]を選択し[・]次へ[・]をクリックします。

Prepare Configuration Files
I want to create a :
🔿 System ACE File
PROM File
🔿 Boundary-Scan File
< 戻る(B) 次へ(N) > キャンセル ヘルプ
XIIInx Serial PROM を選択し、PROM ノアイルの名削と保存場所を指定し 次
Prepare PROM Files

I want to target a :	
Xilinx Serial PROM	
Parallel PROM	ここではファイル名を
🔿 Xilinx PROM with Design Revisioning Enabled	' top'
🔽 Compress Data	とし、保存先を
PROM File Format	' c:¥suzaku¥suzaku-*****'
⊙ MCS ◯ TEK ◯ UFP (C' format)	としました
CEXO CHEX CBIN CISC	
🗖 Swap Bits	
Memory Fill Value (2 Hex Digit):	
PROM File Name: top	
Location: c:¥suzaku¥suzaku-20050115¥ Brow	wse
< 戻る(B) 次へ(N) > キャンセル	ヘルプ

Specify Xilinx PROM	Device 🛛 🔀
🦳 Auto Select PROM	
Select a PROM:	xc18v 💌 xc18v04 💌 <u>A</u> dd
	Position Part Name
	・ * xc18v04 [*] を選択
	・xc18v [*] を選択
Number of Revisions:	Delete All
	< 戻る(B) (ご次へ(M))> キャンセル ヘルプ

゙xc18v 04゛を選択し゛Add゛をクリックし゛次へ゛をクリックします。

゛次へ゛をクリックします。

File Generation Summary	
You have entered following information PROM Type: Serial File Format: mcs Fill Value: FF PROM Filename: top Number of PROMs: 1 Position Part Name 0 xc18v04 Click 'Next' to add device file.	
< 戻る(B) 次へ(N) >	キャンセル ヘルプ

・Add File...、をクリックします。

Add Device File	
Data Stream : 0 Starting Address (Max 8 Hex Digits) : Now start adding device file(s) :	O Add File
(て戻る(19)) 次へ(10) >	キャンセル ヘルプ

新しく生成された'BIT file'を選択し'開く'をクリックします。

Add Device	? 🔀
ファイルの場所の:	🗁 suzaku-20050115 💽 🖛 🗈 💣 🎫
jprojnav jngo im xps_proj im xst im <mark>top.bit</mark>	
ファイル名(N):	top.bit 開((Q)
ファイルの種類(工):	All Design Files ・ キャンセル

[・]いいえ[、]をクリックします。

Add Devi	ce 🛛 🕅
2	Would you like to add another design file to
~	Data Stream: 0 ?

' 完了' をクリックします。

Add Device File	
Data Stream: 0 Starting Address (Max 8 Hex Digits):	0
Now start adding device file(s):	Add File
Click 'Finish' to start generating file. Click 'Cancel' to go to user screen.	
< 戻る(B) 売了	キャンセル ヘルプ

゛はい゛をクリックします。



以上で BIT ファイルから MCS ファイルへの変換は終了です。

10.2. SUZAKU-S ヘコンフィグレーションデータのプログラム

前項で生成した MCS ファイルを実際に SUZAKU-S にプログラムします。 SUZAKU-S では FPGA のコンフィグレーションに東京エレクトロンデバイスの TE7720 を使用しています。 TE7720 の動作については、4.4.9 項 FPGA コンフィグレーションを参照ください。 また、TE7720 について東京エレクトロンデバイスのホームページから詳細資料をダウンロードできます

まず、新しく生成された' MCS file'を' device.def'と 'lbplay2.exe'と同じフォルダにコピーします。 ('device.def' と 'lbplay2.exe'は、プロジェクトトップファイルと同じフォルダ' szaku-******'にも入ってい ます。)

·SUZAKU-Sの電源がオフとなっていることを確認してください。

·CON2 の 'FPGA プログラム用 JTAG' に Xilinx 製 Parallel Cable 等の JTAG ケーブルを接続します。

·JP2 ジャンパをショートします。



·SUZAKU-Sの電源をオンにします。

・コマンドプロンプトを開き. 先ほどの MCS file や' device.def 、 ' lbplay2.exe' があるフォルダに移動します。

[・] lbplay2 –deb top.mcs とタイプします。

・以下のエラーが発生した場合は、CD-ROMの¥fpga_proj ¥lbplay2 driver install.txt に記載してある手順で、 ドライバをインストールしてください。

"ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."

- 🗆 🗙

🚥 コマンド プロンプト

C:¥suzaku¥suzaku-20050115>lbplay2.exe -deb top.mcs _ittleBearPlayer2 0.17 mcs file1 = top.mcs *** WinNT mode *** MaxDeviceNumber=1 Please Hit Enter. (ESC:quit) Device 1 start. It is being erased.....Done. GendByte :212392 VerifyByte:524288 CheckSum (writedata) : 1e89 CheckSum (verifydata) : 1e89 Execution Time = 32.484 seconds C:¥suzaku¥suzaku-20050115>

・プログラム完了後、チェックサム値が合っていることを確認し、SUZAKU-Sの電源をオフにします。 何かの原因でエラーを起こし、チェックサムが違っていた場合は、SUZAKU-Sを動作させないでください。 間違ったデータをプログラムしたり、またプログラム中に何かの原因でエラーを起こした場合は、電源を切断し、必ず、JP2'をショートし、再プログラミングを行ってください。

·JP2 ジャンパをオープンにします。

・SUZAKU-S の電源をオンにします。

・新しいコンフィグレーションデータでプログラムされた SUZAKU-S が起動します。

尚、この例では、UART を外部 I/O にピンアサインしているため、+3.3V の入出力レベルとなります。このため、パ ソコン等の RS232C とは直接接続できません。

実際にパソコン等の RS232C と接続する方法についての例を、

SUZAKU-S Official Site http://SUZAKU-S.atmark-techno.com/のHowToページに記載してありますの でご参照ください。

10.3. Lbplay2.EXE "ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."発生時の対処方法

Lbplay2.EXE で"ERROR: Please check WINNT¥system32¥drivers¥windrvr.sys."が発生した時の対処方 法を以下に示します。

CD-ROM 内の¥fpga_proj¥ wb_TE7720_software_20031104.zip を解凍してください。 さらに解凍したフォルダの中に"Release204.zip"がありますのでそちらも 解凍してください。

"windrvr.sys"を同じ名前のファイルがないことを確認し、Administrator 権限ユーザで以下のフォルダにコピーしてください。

・WindowsNT/2000の場合 C:¥WINNT¥system32¥drivers ・WindowsXPの場合 C:¥WINDOWS¥system32¥drivers

コマンドプロンプトを立ち上げ、解凍を行ったフォルダまで移動し、 "wdreg install"を実行してください。

以上の作業で正常に動作するようになります。

Lbplay2.EXE 及び、TE7720の詳しい情報については、東京エレクトロンデバイス http://www.teldevice.co.jp/のホームページに記載されています。また、FAQ もござ いますので合わせてご参照ください。

11. SZ010-U00とSZ030-U00の違い

11.1.SZ010-U00とSZ030-U00の違い

SZ010-U00とSZ030-U00の違いは以下の3点です。

·FPGA ·FLASH メモリ ·FLASH メモリマップ

11.1.1. ・FPGA について

SZ010-U00 は XC3S400FT256(Spartan-3 40 万ゲート)を、SZ030-U00 は XC3S1000FT256 (Spartan-3 100 万ゲート)を使用しています。

ピンアサインはすべて互換です。

11.1.2. ・FLASH について

SZ010-U00は4Mbyteを、SZ030-U00は8Mbyteを使用しています。 4Mbyteでは最上位アドレスビットLA(22)は使用されません。

11.1.3. ・FLASH メモリマップについて

SZ010-U00とSZ030-U00のFLASHメモリマップは以下のようになります。



11.2. 以前に開発した Linux バイナリイメージの動作

11.2.1. 以前に開発した Linux バイナリイメージを SZ030-U00 でそのまま動作させる方法

CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージは、FLASH メモリマップ自動判別 に対応していないため、そのままでは SZ030-U00(8Mbyte)で動作しません。

SZ030-U00 で CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージを動かすには、以下の作業を行なってください。

FPGA プロジェクトの top.vhd の COMPATIBLE_32MBIT の定数値を'1'に変更してください。 Top.vhd の以下の定数を'1'に変更 <u>CONSTANT_COMPATIBLE_32MBIT_:_std_logic_:= '1';</u>

または、コンパイル済みのコンフィグレーションファイル(デフォルト構成)が CD-ROM の ¥ fpga_proj¥SUZAKU-S-*****¥sz030_compatible_32mbit .mcs にあります。 こちらをご使用される場合 は へお進みください。

FPGA プロジェクトのコンパイルしなおしてください。 コンパイル方法は本マニュアルの "<u>9.6 Platform Studio コンパイルの実行</u>"を参照ください。

SUZAKU-S へのコンフィグレーションをしなおしてください。 コンフィグレーション方法は本マニュアルの "10 FPGA コンフィグレーション"を参照ください。

CD-ROM の tools/s-recorf/ディレクトリの hermit.srec を SUZAKU-S ヘダウンロードしてください。 hermit.srecのダウンロードの方法は SUZAKU-S Software Manual の "12.3 モトローラS形式でのFLASH メモリの書き換えかた"を参照ください。

最後に、以前で開発した CD-ROM "SUZAKU-S20041215" 以前で開発した Linux バイナリイメージを SUZAKU-S ヘダウンロードしてください。 Linux バイナリイメージのダウンロードの方法は SUZAKU-S Software Manual の **"12.2 Hermit を使用した** Flashメモリの書き換えかた"を参照ください。

* "SUZAKU-S20050131"以降の CD-ROM のソフトウェアは、FLASH メモリマップ自動判別機能があり、どちらで も問題なく動作します。

55	対履歴		
Ver.	年月日	改訂内容	
1.0	2004/04/29	初版作成	
1.0.1	2004/06/04	・5.1 項 SUZAKU-S メモリマップ 誤記訂	
		誤 0x0000000 – 0x00000FFF BRAM	
		正 0x0000000 – 0x00001FFF BRAM	
		・9.5 項 プロジェクトのトップファイルの編集 誤記訂正	
		誤 ¥SUZAKU-S_v00¥xps_proj¥top.vhd	
		正 ¥SUZAKU-S_v00¥top.vhd	
1.0.2	2004/06/11	・CD-ROM の FPGA プロジェクトフォルダ名変更	
		・LBPLAY2 エラー発生時のドライバインストールについて追記	
		・UART をパソコン等 RS232C への接続について追記	
1.0.3	2004/06/16	・ソフトウェアリセットの方法について追記	
1.0 .4	2004/12/15	・6 項 VHDL バス記述についての説明追記	
		·会社住所変更	
1.1.0	2005/01/17	·100 万ゲート品(SZ030-U00)追加	
		・9 項 ISE、EDK6.2i から、ISE、EDK6.3i の説明に変更	
		·11 項追加	
1.1.1	2005/02/10	·名称变更 SUZAKU -> SUZAKU-S	
		.誤記訂正	

SUZAKU-S Hardware Manual	2005年2月10)日 version 1.1.1
株式会社アットマークテクノ 004-0062 札幌市中央区北 5 条東 2 丁目 AFT ビル 6F	011-207-6550	FAX: 011-207-6570